

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76336

(P2002-76336A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\*(参考)

H 0 1 L 29/78

H 0 1 L 21/02

B 4 M 1 0 4

21/02

21/283

L 5 F 0 0 1

21/283

C 5 F 0 3 2

21/316

M 5 F 0 4 0

21/316

27/08

3 3 1 A 5 F 0 4 8

審査請求 未請求 請求項の数19 O L (全 30 頁) 最終頁に続く

(21)出願番号

特願2000-265228(P2000-265228)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日

平成12年9月1日(2000.9.1)

(72)発明者 國清 辰也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

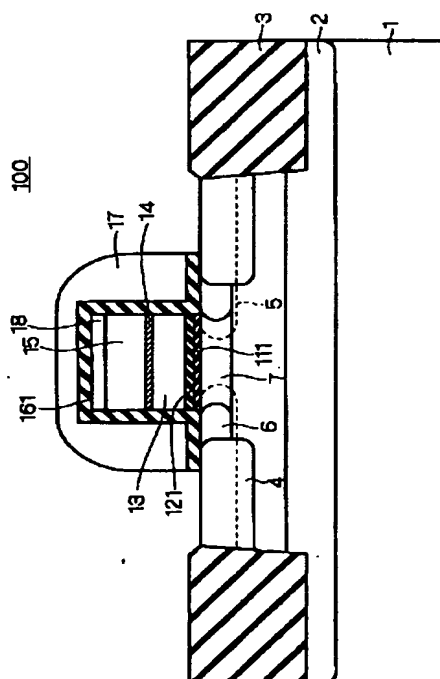
最終頁に続く

(54)【発明の名称】 半導体装置およびS O I 基板

(57)【要約】

【課題】 酸化シリコン膜に比べて膜厚を薄くできるとともに、劣化を防止したゲート絶縁膜を有するシステム化された半導体装置を提供することを第1の目的とし、素子分離絶縁膜やS O I 基板内の埋め込み酸化膜のホットキャリア耐性を向上させることで、信頼性が向上した半導体装置を提供することを第2の目的とする。

【解決手段】 シリコン基板1上に順に配設された重水素を含む酸化シリコン膜111および重水素を含む窒化シリコン膜121の2層膜で構成されるゲート絶縁膜と、窒化シリコン膜121上に順に配設されたドーパントポリシリコン膜13、バリアメタル層14、タングステン等の金属膜15の3層膜で構成されるゲート電極とを備えている。また、金属膜15上には窒化シリコン膜18が配設され、ゲート絶縁膜およびゲート電極および窒化シリコン膜18を被覆するように被覆絶縁膜161が配設されている。



## 【特許請求の範囲】

【請求項 1】 半導体基板の主面上に配設されたゲート絶縁膜と、  
前記ゲート絶縁膜上に配設されたゲート電極とを有する少なくとも 1 種類の MOSFET を備えた半導体装置であって、  
前記ゲート絶縁膜は、  
酸化シリコン膜と酸化窒化シリコン膜との 2 層膜であって、少なくとも 1 層に重水素原子を含む第 1 の 2 層膜、あるいは、  
窒化シリコン膜と酸化窒化シリコン膜との 2 層膜であって、少なくとも 1 層に重水素原子を含む第 2 の 2 層膜、を有する、半導体装置。

【請求項 2】 前記第 1 の 2 層膜は、酸化シリコン膜上に酸化窒化シリコン膜が積層され、  
前記第 2 の 2 層膜は、酸化窒化シリコン膜上に窒化シリコン膜が積層された構成を有する、請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 の 2 層膜は、前記酸化窒化シリコン膜の厚さが前記酸化シリコン膜よりも厚い、請求項 2 記載の半導体装置。

【請求項 4】 前記第 2 の 2 層膜は、前記酸化窒化シリコン膜の厚さが前記窒化シリコン膜よりも厚い、請求項 2 記載の半導体装置。

【請求項 5】 前記第 1 および第 2 層膜は、それぞれの第 1 層および第 2 層に重水素原子を含む、請求項 2 記載の半導体装置。

【請求項 6】 前記半導体装置は、与えられる最大印加電圧がそれぞれ異なる複数の機能ブロックを有し、  
前記少なくとも 1 種類の MOSFET は、前記ゲート絶縁膜の厚さが異なる複数種類の MOSFET であって、  
前記複数種類の MOSFET は、前記最大印加電圧に耐えるように、前記ゲート絶縁膜の厚さに応じて前記複数の機能ブロックにそれぞれ配設される、請求項 1 記載の半導体装置。

【請求項 7】 前記少なくとも 1 種類の MOSFET は、  
前記ゲート絶縁膜および前記ゲート電極の積層体と、該積層体の側面外方の前記半導体基板の前記主面上を部分的に覆う被覆絶縁膜と、  
前記被覆絶縁膜を覆うサイドウォール絶縁膜とをさらに有し、  
前記被覆絶縁膜は、重水素原子を含む、請求項 1 記載の半導体装置。

【請求項 8】 前記被覆絶縁膜は酸化シリコン膜である、請求項 7 記載の半導体装置。

【請求項 9】 前記被覆絶縁膜は酸化窒化シリコン膜である、請求項 7 記載の半導体装置。

【請求項 10】 半導体基板の主面表面内に配設された素子分離絶縁膜によって規定される活性領域上に配設さ

れたゲート絶縁膜と、  
前記ゲート絶縁膜上に配設されたゲート電極とを有する MOSFET を備えた半導体装置であって、  
前記素子分離絶縁膜は、  
前記半導体基板の主面表面内に配設されたトレンチと、  
前記トレンチの内壁に配設された重水素原子を含む内壁絶縁膜と、  
前記内壁絶縁膜で覆われた前記トレンチ内に埋め込まれた絶縁膜とを有する、半導体装置。

10 【請求項 11】 前記内壁絶縁膜は、重水素原子を含む酸化シリコン膜あるいは、重水素原子を含む酸化窒化シリコン膜である、請求項 10 記載の半導体装置。

【請求項 12】 前記絶縁膜は、重水素原子を含む酸化シリコン膜あるいは、重水素原子を含む酸化窒化シリコン膜である、請求項 10 記載の半導体装置。

20 【請求項 13】 前記内壁絶縁膜は、その上部端縁部が、前記半導体基板の主面上に緩やかな丸みを有して盛り上がるように配設され、前記上部端縁部に前記 MOSFET のゲート電極のゲート幅方向の端縁部が係合する、請求項 10 記載の半導体装置。

【請求項 14】 前記半導体基板は、  
シリコン基板上に配設された埋め込み絶縁膜と、  
前記埋め込み絶縁膜上に配設された SOI 層とを備える SOI 基板であって、  
前記埋め込み絶縁膜は重水素原子を含む、請求項 1 または請求項 10 記載の半導体装置。

【請求項 15】 シリコン基板上に配設された埋め込み絶縁膜と、  
前記埋め込み絶縁膜上に配設された SOI 層とを備える SOI 基板であって、  
前記埋め込み絶縁膜は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜のうち何れか 2 つの膜を含む 2 層膜である、SOI 基板。

【請求項 16】 前記埋め込み絶縁膜は重水素原子を含む、請求項 15 記載の SOI 基板。

40 【請求項 17】 前記埋め込み絶縁膜は、前記 SOI 層に隣接する第 1 層と、前記第 1 層の下層の第 2 層とに区分され、  
重水素原子は、前記第 1 層に少なくとも含まれる、請求項 16 記載の SOI 基板。

【請求項 18】 前記第 1 層は、前記酸化シリコン膜および前記酸化窒化シリコン膜の何れかである、請求項 17 記載の SOI 基板。

【請求項 19】 請求項 15 記載の前記 SOI 基板の前記 SOI 層上に配設された MOSFET を少なくとも有する、半導体装置。

## 【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】 本発明は半導体装置および SOI 基板に関し、特に、半導体素子を構成する絶縁膜お

よび埋め込み絶縁膜を改良した半導体装置およびSOI基板に関する。

#### 【0002】

【従来の技術】MOSFET (Metal Oxide Silicon Field Effect Transistor) の微細化に伴い、電流駆動力の向上としきい値電圧のロールオフ (ゲート長、および、ゲート幅の変化に対して、しきい値電圧が変化する量) を緩和する目的で、ゲート絶縁膜の膜厚を薄くする試みがなされている。

【0003】その背景には、(1) 電流駆動力が向上すると回路の動作速度が速くなり、半導体チップの動作周波数が上がることで、(2) しきい値電圧のロールオフが緩和されると、転写工程や加工工程時のゲート長、および、ゲート幅のばらつきに対して、トランジスタのしきい値電圧の変動が小さくなり、量産しやすいことの2つの理由がある。

【0004】酸化シリコン ( $\text{SiO}_2$ ) のゲート絶縁膜では、厚さが3nm以下になるとシリコン基板からゲート電極への直接トンネリングによるゲートリーク電流が顕著になるため、酸化シリコンのゲート絶縁膜は膜厚3nm程度が限界である。しかしながら、電流駆動力を向上させるために、酸化シリコン膜で換算したゲート絶縁膜の膜厚 (以下、換算膜厚と呼称) が3nm以下のものが要求されている。

【0005】さらに、酸化シリコンのゲート絶縁膜が、ホウ素を高濃度に含むポリシリコン膜 (表面チャネル型のP型MOSFETのゲート電極として使用) に接して形成されると、ポリシリコン膜中のホウ素が熱処理時に熱拡散してゲート絶縁膜中にも拡散し、それがチャネルに達することに起因するしきい値電圧の変動が問題になっている。

【0006】この問題を解決する方法として、ゲート長が0.12 $\mu\text{m}$ 以下の世代では、例えば図43に示すような構成のMOSFET90が使用されている。

【0007】図43においてMOSFET90は、シリコン基板1上に順に配設された酸化シリコン膜11および窒化シリコン膜12の2層膜で構成されるゲート絶縁膜と、窒化シリコン膜12上に順に配設されたドーフトポリシリコン膜13、バリアメタル層 ( $\text{WNx}$ ,  $\text{TiNx}$ ,  $\text{Ta}$ ,  $\text{TaN}$ 等) 14、金属膜15の3層膜で構成されるゲート電極とを備えている。なお、酸化シリコン膜と窒化シリコン膜とで構成されるゲート絶縁膜を、以下においてはON (Oxide-Nitride) 膜と呼称する。

【0008】なお、MOSFET90は、ゲート絶縁膜およびゲート電極を被覆する被覆絶縁膜16、少なくとも被覆絶縁膜16の側面を覆うサイドウォール絶縁膜17、ゲート電極の下部のシリコン基板1の表面内に配設されたチャネル層7、チャネル層7を間に挟んで対向するように配設された一対のエクステンション層6、一対のエクステンション層6内にそれぞれ配設されたポケッ

ト層5、一対のエクステンション層6に隣接して配設された一対のソース・ドレイン主要層4を有している。ここで、エクステンション層6はソース・ドレイン主要層4と同一導電型であり、ソース・ドレイン層として機能するのでソース・ドレインエクステンション層6と呼称すべきであるが、便宜的にエクステンション層6と呼称する。

【0009】また、MOSFET90の活性領域は素子分離絶縁膜の一種であるSTI (Shallow Trench Isolation) 膜3によって規定され、シリコン基板1の内部にはチャネルストッパ層2が配設され、MOSFET90の上部には第1層間絶縁膜21、絶縁膜22、第2層間絶縁膜23、第3層間絶縁膜24が積層されている。

【0010】また、図43においては、第1層間絶縁膜21および絶縁膜22を貫通して一対のソース・ドレイン主要層4にそれぞれ達するコンタクト部31、一方のコンタクト部31に接続される第1配線層32、第2層間絶縁膜23を貫通して他方のコンタクト部31に達するコンタクト部33、コンタクト部33に接続される第2配線層33が配設された構成を示しているが、これは一例に過ぎない。

【0011】なお、参考までに、MOSFETにおける各層のドーパントの種類を図44に示す。図44においては、N型MOSFETおよびP型MOSFETのそれぞれを、表面チャネル型と埋め込みチャネル型とに分類し、チャネル層、チャネルストッパ層、ソース・ドレイン主要層、エクステンション層、ポケット層、ドーフトポリシリコン層のそれぞれについて、使用可能なドーパントを列挙している。

【0012】次に上述したON膜の利点について説明する。ON膜は、(1) 直接トンネリングによるゲート電流がほとんど流れない条件下での換算膜厚が3nmより薄くすることができる、(2) 窒化シリコン中のドーパントの拡散係数は、酸化シリコン中の拡散係数よりもかなり小さいので、ポリシリコン中のドーパントがゲート絶縁膜中を熱拡散してチャネルに達することはなく、それに起因するしきい値電圧変動がないという2つの利点を有している。

【0013】なお、窒化シリコン膜をシリコン基板上に形成してゲート絶縁膜に用いる試みもなされたが、窒化シリコン/シリコン基板の界面準位密度が増加するため、実用化されていない。界面準位密度が大きくなると、MOSFETの内部を移動中のキャリアがトラップ/デトラップを繰り返すことに起因して移動度や実効的なキャリア密度が低下するため、ドレイン電流が低下する問題が起こる。その結果、MOSFETで構成される半導体集積回路の動作速度が低下する問題が発生する。

#### 【0014】

【発明が解決しようとする課題】上記のように、ON膜は多くの利点を持つが、ホットキャリア耐性に若干の間

題を有している。

【0015】図45～図47はシリコン基板上に形成されたON膜のホットキャリアに起因する劣化メカニズムを説明する模式図である。水素原子は、酸化シリコン膜の形成時、あるいは、その後の工程（水素シンター等）でON膜中に導入され、図45に示すように、ON膜を構成する酸化シリコン膜中のシリコン原子の一部と結合する。図45においては、シリコン原子（Si）と水酸基（OH）との結合体を示している。なお、シリコン原子には記号Rで示される原子が単結合で3つ結合している。これは、酸素（O）や水素（H）やシリコン等の何れかの原子が単結合で3つ結合することを示しており、同様の表記は図47および図48においても使用している。

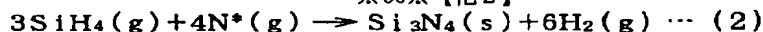
【0016】また、窒化シリコン膜中にも膜の形成時やその後の工程により水素原子が取り込まれている。さらに、 $\text{SiO}_2/\text{Si}$ 界面のシリコン原子の不飽和結合手（ダングリングボンド）は、水素シンター等の工程により導入された水素原子と結合して終端されている。

【0017】MOSFETにストレス電圧（例えば、N型MOSFETの場合、ドレインとゲートに電源電圧 $V_{DD}$ 、ソースに0V、あるいはベース電源電圧 $V_{BB}=-1\text{V}$ ）が印加されると、内部電界により加速されてエネルギーを得たシリコン基板中のホットキャリアHOTは、 $\text{SiO}_2/\text{Si}$ 界面の障壁エネルギーより大きなエネルギーを有することで界面を越え、図45に示すように $\text{SiO}_2$ 中に達する。



【0025】

※30※ 【化2】



【0026】反応式（1）は、CVD反応装置やRTN（Rapid Thermal Nitridation）で装置での反応を表し、反応式（2）はプラズマ励起による反応を表している。なお、反応式（2）の $\text{N}^*$ は窒素原子のラジカルを意味している。

【0027】反応式（1）、（2）から判るように、窒化シリコン膜の形成工程では副産物として水素ガスが形成される。式の上では水素分子であるが、その一部は反応の過程で、窒化シリコン膜の中へ水素原子の状態で取り込まれる。窒化シリコン膜中の水素原子は、シリコン原子と結合するものや、窒化シリコンの格子間に存在するもの等、さまざまな形態で存在する。

【0028】図48は、反応式（1）の反応を用いて形成した窒化シリコン膜中の水素原子濃度のアンモニアガス分圧依存性を示す図であり、反応室内の全圧に対するアンモニアガスの分圧の比率を横軸に示し、縦軸に水素原子濃度（atomic%）を示している。

【0029】図48から判るように、窒化シリコン膜には、10～30atomic%程度の水素原子が含まれてい

\* 【0018】そして、ホットキャリアHOTのエネルギーにより、シリコン原子に結合した水酸基の水素原子の結合が切れ、結合が切られた酸素の不飽和結合手は固定電荷として働く。

【0019】結合が切れた水素原子は、図46に示すように、ゲート絶縁膜中の電界によるドリフトや、熱拡散により $\text{SiO}_2/\text{Si}$ 界面に達する。界面に達した水素原子は、界面のSi原子と水素原子との結合体と反応し、水素分子を形成する。

10 【0020】これらの水素分子は気体として揮発し、図47に示すように $\text{SiO}_2/\text{Si}$ 界面のシリコン原子のダングリングボンドは界面準位として働き、酸化シリコン膜中のシリコン原子のダングリングボンドは固定電荷として働く。

【0021】固定電荷や界面準位が形成されると、しきい値電圧の変動やドレイン電流の劣化等が起こり、回路の動作速度の低下、および、回路の誤動作を引き起こす。

20 【0022】以上は酸化シリコン膜中の水素原子に起因するON膜の劣化メカニズムの説明であったが、次に、窒化シリコン膜中の水素原子に起因するON膜の劣化メカニズムを説明する。

【0023】ON膜を構成する窒化シリコン膜は、通常、下記の反応式（1）、（2）で表される化学反応により形成される。

【0024】

\* 【化1】

る。  
【0030】ON膜をゲート絶縁膜として用いると、ストレス電圧下では酸化シリコン膜中の水素原子に加えて、窒化シリコン中の水素原子も、ドリフト、あるいは拡散により酸化シリコン膜中に移動して、図46に示すように、シリコン原子に結合した水酸基の水素原子と反応して水素分子を形成したり、 $\text{SiO}_2/\text{Si}$ 界面のSi原子と水素原子との結合体と反応して水素分子を形成する。

40 【0031】そして、これらの水素分子は気体として揮発し、図47に示すように $\text{SiO}_2/\text{Si}$ 界面のシリコン原子の不飽和結合手は界面準位として働き、酸化シリコン膜中の酸素原子の不飽和結合手は固定電荷として働くので、ON膜で構成されるゲート絶縁膜は、酸化シリコン膜のみで構成されるゲート絶縁膜に比べて劣化が加速するという特性があった。

50 【0032】特に、ON膜の換算膜厚を薄くするために、酸化シリコン膜は薄く、窒化シリコン膜は厚くする傾向にあるため、窒化シリコン膜中の水素原子に起因す

る劣化が支配的になり、無視できない問題になりつつある。

【0033】また、半導体装置のシステム化が進み、各種の機能ブロックを備えた半導体装置が使用されつつあるが、各機能ブロック、例えば、メモリアレイ部、入出力部、CPU部、ロジック部ごとに印加される最大電圧が異なるため、同一のON膜で全てのゲート絶縁膜の信頼性を満たすことが困難になりつつある。

【0034】本発明は上記のような問題点を解消するためになされたもので、酸化シリコン膜に比べて膜厚を薄くできるとともに、劣化を防止したゲート絶縁膜を有するシステム化された半導体装置を提供することを第1の目的とする。

【0035】また、ホットキャリア耐性が問題になる絶縁膜としては、上述したゲート絶縁膜だけでなく、STI膜等のトレンチ分離構造により素子分離を行う素子分離絶縁膜や、SOI (Silicon On Insulator) 基板内の埋め込み酸化膜などが挙げられる。これらの絶縁膜のホットキャリア耐性を向上させることで、信頼性が向上した半導体装置を提供することを第2の目的とする。

【0036】

【課題を解決するための手段】本発明に係る請求項1記載の半導体装置は、半導体基板の主面上に配設されたゲート絶縁膜と、前記ゲート絶縁膜上に配設されたゲート電極とを有する少なくとも1種類のMOSFETを備えた半導体装置であって、前記ゲート絶縁膜は、酸化シリコン膜と酸化窒化シリコン膜との2層膜であって、少なくとも1層に重水素原子を含む第1の2層膜、あるいは、窒化シリコン膜と酸化窒化シリコン膜との2層膜であって、少なくとも1層に重水素原子を含む第2の2層膜を有する。

【0037】本発明に係る請求項2記載の半導体装置は、前記第1の2層膜が、酸化シリコン膜上に酸化窒化シリコン膜が積層され、前記第2の2層膜が、酸化窒化シリコン膜上に窒化シリコン膜が積層された構成である。

【0038】本発明に係る請求項3記載の半導体装置は、前記第1の2層膜の前記酸化窒化シリコン膜の厚さが前記酸化シリコン膜よりも厚い。

【0039】本発明に係る請求項4記載の半導体装置は、前記第2の2層膜の前記酸化窒化シリコン膜の厚さが前記窒化シリコン膜よりも厚い。

【0040】本発明に係る請求項5記載の半導体装置は、前記第1および第2層膜が、それぞれの第1層および第2層に重水素原子を含んでいる。

【0041】本発明に係る請求項6記載の半導体装置は、前記前記半導体装置が、与えられる最大印加電圧がそれぞれ異なる複数の機能ブロックを有し、前記少なくとも1種類のMOSFETは、前記ゲート絶縁膜の厚さが異なる複数種類のMOSFETであって、前記複数種類のMOSFETは、前記最大印加電圧に耐えるよう

に、前記ゲート絶縁膜の厚さに応じて前記複数の機能ブロックにそれぞれ配設されている。

【0042】本発明に係る請求項7記載の半導体装置は、前記少なくとも1種類のMOSFETが、前記ゲート絶縁膜および前記ゲート電極の積層体と、該積層体の側面外方の前記半導体基板の前記主面上を部分的に覆う被覆絶縁膜と、前記被覆絶縁膜を覆うサイドウォール絶縁膜とをさらに有し、前記被覆絶縁膜は、重水素原子を含んでいる。

10 【0043】本発明に係る請求項8記載の半導体装置は、前記被覆絶縁膜が酸化シリコン膜である。

【0044】本発明に係る請求項9記載の半導体装置は、前記被覆絶縁膜が酸化窒化シリコン膜である。

20 【0045】本発明に係る請求項10記載の半導体装置は、半導体基板の主面表面内に配設された素子分離絶縁膜によって規定される活性領域上に配設されたゲート絶縁膜と、前記ゲート絶縁膜上に配設されたゲート電極とを有するMOSFETを備えた半導体装置であって、前記素子分離絶縁膜は、前記半導体基板の主面表面内に配設されたトレンチと、前記トレンチの内壁に配設された重水素原子を含む内壁絶縁膜と、前記内壁絶縁膜で覆われた前記トレンチ内に埋め込まれた絶縁膜とを有している。

【0046】本発明に係る請求項11記載の半導体装置は、前記内壁絶縁膜が、重水素原子を含む酸化シリコン膜あるいは、重水素原子を含む酸化窒化シリコン膜である。

30 【0047】本発明に係る請求項12記載の半導体装置は、前記絶縁膜が、重水素原子を含む酸化シリコン膜あるいは、重水素原子を含む酸化窒化シリコン膜である。

【0048】本発明に係る請求項13記載の半導体装置は、前記内壁絶縁膜が、その上部端縁部が、前記半導体基板の主面上に緩やかな丸みを有して盛り上がるように配設され、前記上部端縁部に前記MOSFETのゲート電極のゲート幅方向の端縁部が係合している。

【0049】本発明に係る請求項14記載の半導体装置は、前記半導体基板が、シリコン基板上に配設された埋め込み絶縁膜と、前記埋め込み絶縁膜上に配設されたSOI層とを備えるSOI基板であって、前記埋め込み絶縁膜は重水素原子を含んでいる。

【0050】本発明に係る請求項15記載のSOI基板は、シリコン基板上に配設された埋め込み絶縁膜と、前記埋め込み絶縁膜上に配設されたSOI層とを備えるSOI基板であって、前記埋め込み絶縁膜が、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜のうち何れか2つの膜を含む2層膜である。

【0051】本発明に係る請求項16記載のSOI基板は、前記埋め込み絶縁膜が重水素原子を含んでいる。

50 【0052】本発明に係る請求項17記載のSOI基板は、前記埋め込み絶縁膜が、前記SOI層に隣接する第

1層と、前記第1層の下層の第2層とに区分され、重水素原子が、前記第1層に少なくとも含まれている。

【0053】本発明に係る請求項18記載のSOI基板は、前記第1層が、前記酸化シリコン膜および前記酸化シリコン膜の何れかである。

【0054】本発明に係る請求項19記載の半導体装置は、請求項15記載の前記SOI基板の前記SOI層上に配設されたMOSFETを少なくとも有している。

【0055】

【発明の実施の形態】< A. 実施の形態1 >

< A-1. 装置構成 >

< A-1-1. 半導体装置のブロック構成 > 図1は、システム化された半導体装置の構成の一例を示すブロック図であり、機能ブロックとして、I/O部F1、CPU (Central Processing Unit) 部F2、キャッシュ部F3、メモリ部F4の4つの回路部を有する構成を示している。

【0056】I/O部F1は、半導体装置の外部電源および外部グランド電源と接続し、外部の信号を半導体装置内部へ入力したり、半導体装置内部の信号を外部へ出力する機能を有する。

【0057】そして、信号を入出力する際に、信号電圧や信号電流の大きさが規格内に収まるように保護回路を備えている。さらに、入出力信号が公知の通信・伝送方式で行われる場合は、該信号を変調、あるいは、復調する回路を備えている。

【0058】また、外部の電源電圧を機能ブロックごとに変圧して供給する回路を備えている。例えば、外部の電源電圧が2Vの場合、CPU部F2とキャッシュ部F3には1.2V、メモリ部F4には1.5Vの電源電圧を供給するように構成されている。

【0059】メモリ部は、信号データを蓄積する機能を有し、1ビット、あるいは、多ビットの情報を蓄積する複数のメモリセルがアレイ状に配置されて構成されている。また、ワード線に昇圧した電圧を印加するための昇圧回路、ビット情報を検出するためのセンスアンプ回路、メモリセルのアドレスを指定するアドレスデコード／エンコード回路等を備えている。

【0060】メモリセルにはワード線が備えられており、ワード線電位が高電位の状態では、メモリ部の電源電圧よりも若干昇圧した電圧が印加される。これは、メモリセルトランジスタのしきい値電圧分の信号電圧降下を補正するためである。

【0061】なお、メモリセルの構成は、DRAM、SRAM、FRAM (Ferroelectric Random Access Memory)、フラッシュEEPROM、MRAM (Magnetic Random Access Memory) 等の何れでも良い。

【0062】キャッシュ部は、CPU部とメモリ部の動作速度の違いを考慮して、CPU部とメモリ部間のデータの出力調整を行う機能を有している。

【0063】CPU部は、入力情報をもとに情報処理を行い、処理した情報を出力する機能を有している。CPU部は消費電力が大きいので、速度向上と消費電力低減を両立する必要がある。そのため、速度を大幅に低減しない程度に、外部の電源電圧より低い電圧が用いられる。すなわち、電源電圧は高い方がMOSFETの電流駆動力が向上するので、速度向上のためには望ましいが、消費電力は電源電圧の2乗に比例するため、消費電力は大幅に大きくなるからである。

10 【0064】システム化された半導体装置は以上のような構成を有し、各機能ブロックごとに印加される最大印加電圧が異なる。

【0065】例えばCPU部F2を構成するMOSFETには高い電流駆動力が要求されるため、ゲート絶縁膜として用いられるON膜の膜厚は薄い方が望ましい。

【0066】一方、I/O部F1に印加される電源電圧がCPU部F2の電源電圧より高い場合には、I/O部F1の保護回路等で用いられるMOSFETのゲート絶縁膜として用いられるON膜の膜厚をCPU部F1のMOSFETと同じにすると、所定の期間(例えば10年間)の信頼性を保証することが困難となる。

【0067】< A-1-2. 信頼性保証のためのゲート絶縁膜の構成例1 > 上記問題を解決するには、最も単純には、印加される最大電圧の大きさに応じて、機能ブロックごとにON膜の膜厚を厚くすることで、信頼性を保証することが可能となる。

【0068】例えば、図2(a)および図2(b)においては、それぞれ、CPU部F2とI/O部F1におけるMOSFETのゲート絶縁膜とゲート電極を模式的に示している。

【0069】ここで、図2(a)および図2(b)においては、半導体基板X1上にゲート絶縁膜GX1およびGX2が形成され、ゲート絶縁膜GX1およびGX2の上には何れもゲート電極X4が形成された構成を示している。

【0070】ゲート絶縁膜GX1は半導体基板X1上に配設された酸化シリコン膜(SiO<sub>2</sub>)X2と、その上に配設された窒化シリコン膜(SiN)X3とで構成され、ゲート絶縁膜GX2は半導体基板X1上に配設された酸化シリコン膜X2と、その上に配設された窒化シリコン膜X5とで構成されている。

【0071】そして、図2(b)に示すI/O部F1のゲート絶縁膜GX2の膜厚T2は、図2(a)に示すCPU部F2のゲート絶縁膜GX1の膜厚T1よりも厚く形成されている。なお、酸化シリコン膜X2の厚さは同じであり、窒化シリコン膜X5の厚さが窒化シリコン膜X3よりも厚く形成されていることで、ゲート絶縁膜GX2がゲート絶縁膜GX1よりも厚くなっている。

50 【0072】また、メモリ部においても、例えば、DRAMのメモリセルトランジスタには、昇圧された電圧が

印加されるので、メモリセルトランジスタのゲート絶縁膜として用いられているON膜の膜厚は、センスアンプ回路、アドレスデコード/エンコード回路のMOSFETのゲート絶縁膜として用いられているON膜の膜厚よりも厚く形成することになる。

【0073】なお、窒化シリコン膜の比誘電率は6.5～9、酸化シリコン膜の比誘電率は3.9～4.3であるので、ON膜のうち、窒化シリコン膜が厚いほどゲート絶縁膜の静電容量は大きくなる。また、飽和領域でのドレイン電流はゲート絶縁膜の静電容量が大きくなるほど大きくなり、ドレイン電流が増えたと回路の動作速度が速くなるので、ON膜中の窒化シリコン膜の膜厚を厚くすると、回路の動作速度を速くできる。

【0074】また、ゲート電極として、ポリシリコン層上に窒化タングステン(WNx)などのバリアメタル層を介して、タングステン(W)などの金属層を配設したポリメタルゲートを備えたP型MOSFETにおいては、ポリシリコン層にボロンをドーピングする場合がある。この場合、熱処理工程によりボロンが拡散し、ゲート絶縁膜が2nm程度の酸化シリコン膜である場合は、ゲート絶縁膜中を拡散して半導体基板に達し、P型MOSFETのしきい値電圧が変動する可能性がある。これを回避するには、ボロンの拡散係数が小さい窒化シリコン膜を用いれば良く、特に、窒化シリコン膜の厚さを厚くしたON膜はボロンがゲート絶縁膜を突き抜けることによるしきい値電圧の変動の防止に適している。

【0075】以上説明したON膜の膜厚の設定例は、一例であり、これらの例に限定されるものではない。

【0076】例えば、図3(a)および図3(b)においては、それぞれ、CPU部F2とI/O部F1におけるON膜の膜厚の他の設定例を模式的に示している。

【0077】図3(a)および図3(b)において、半導体基板X1上にゲート絶縁膜GX1およびGX3が形成され、ゲート絶縁膜GX1およびGX3の上には何れもゲート電極X4が形成されている。

【0078】ゲート絶縁膜GX1は図2(a)に示すものと同じであるが、ゲート絶縁膜GX3は半導体基板X1上に配設された酸化シリコン膜X6と、その上に配設された窒化シリコン膜X7とで構成されている。

【0079】図3(b)に示すI/O部F1のゲート絶縁膜GX3の膜厚T2は、図3(a)に示すCPU部F2のゲート絶縁膜GX1の膜厚T1よりも厚く形成されている。なお、酸化シリコン膜X6および窒化シリコン膜X7の厚さが、酸化シリコン膜X2および窒化シリコン膜X3よりも厚く形成されていることでゲート絶縁膜GX3がゲート絶縁膜GX1よりも厚くなっている。

【0080】また、図4(a)および図4(b)においては、それぞれ、CPU部F2とI/O部F1におけるON膜の膜厚の他の設定例を模式的に示している。

【0081】図4(a)および図4(b)において、半

導体基板X1上にゲート絶縁膜GX1およびGX4が形成され、ゲート絶縁膜GX1およびGX4の上には何れもゲート電極X4が形成されている。

【0082】ゲート絶縁膜GX1は図2(a)に示すものと同じであるが、ゲート絶縁膜GX4は半導体基板X1上に配設された酸化シリコン膜X6と、その上に配設された窒化シリコン膜X3とで構成されている。

【0083】図4(b)に示すI/O部F1のゲート絶縁膜GX4の膜厚T2は、図4(a)に示すCPU部F2のゲート絶縁膜GX1の膜厚T1よりも厚く形成されている。なお、窒化シリコン膜X3の厚さは同じであり、酸化シリコン膜X6の厚さが酸化シリコン膜X2よりも厚く形成されていることで、ゲート絶縁膜GX4がゲート絶縁膜GX1よりも厚くなっている。

【0084】なお、窒化シリコン膜の厚さを酸化シリコン膜よりも薄くした場合は、以下のような作用効果も得られる。すなわち、酸化シリコン膜には圧縮応力が、窒化シリコン膜には引っ張り応力が発生するが、窒化シリコン膜の引っ張り応力の方が強いいため、窒化シリコン膜を厚くするとON膜と半導体基板との界面での応力が大きくなり、界面準位密度や欠陥密度が増加する可能性がある。そのため窒化シリコン膜の厚さを酸化シリコン膜よりも薄くすることで、基板界面での応力を低減して界面準位密度や欠陥密度を低減することができる。

【0085】以上説明したON膜の膜厚の設定例は、印加される最大電圧が高いON膜ほど、膜厚を厚くする技術思想を開示するものである。

【0086】< A-1-3. 信頼性保証のためのゲート絶縁膜の構成例2 >以上の説明においてはゲート絶縁膜としてON膜を用いる場合の信頼性保証のための構成について示したが、図5(a)および図5(b)に示すようにゲート絶縁膜として酸化シリコン膜上に酸窒化シリコン膜(SiON)を積層した積層膜を使用し、機能ブロックの最大印加電圧に応じて、積層膜の厚さを調節するようにしても良い。

【0087】図5(a)および図5(b)においては、それぞれ、CPU部F2とI/O部F1におけるMOSFETのゲート絶縁膜とゲート電極を模式的に示している。

【0088】ここで、図5(a)および図5(b)においては、半導体基板X1上にゲート絶縁膜GX5およびGX6が形成され、ゲート絶縁膜GX5およびGX6の上には何れもゲート電極X4が形成された構成を示している。

【0089】ゲート絶縁膜GX5は半導体基板X1上に配設された酸化シリコン膜X2と、その上に配設された酸窒化シリコン膜X8とで構成され、ゲート絶縁膜GX6は半導体基板X1上に配設された酸化シリコン膜X2と、その上に配設された酸窒化シリコン膜X9とで構成されている。

【0090】そして、図5(b)に示すI/O部F1のOゲート絶縁膜GX6の膜厚T2は、図5(a)に示すCPU部F2のゲート絶縁膜GX5の膜厚T1よりも厚く形成されている。なお、酸化シリコン膜X2の厚さは同じであり、酸化シリコン膜X9の厚さが酸化シリコン膜X8よりも厚く形成されていることで、ゲート絶縁膜GX6がゲート絶縁膜GX5よりも厚くなっている。

【0091】なお、酸化シリコン膜の比誘電率は、酸化シリコン膜の比誘電率より大きいので、酸化シリコン膜が厚いほどゲート絶縁膜の静電容量は大きくなり、ゲート絶縁膜の静電容量を大きくすることで回路の動作速度を速くできることは、ゲート絶縁膜としてON膜を使用する場合と同様である。

【0092】<A-1-4. 信頼性保証のためのゲート絶縁膜の構成例3>また、ゲート絶縁膜の信頼性保証のための構成としては、図6(a)および図6(b)に示すようにゲート絶縁膜として酸化シリコン膜(SiO<sub>2</sub>)上に窒化シリコン膜(SiN)を積層した積層膜を使用し、機能ブロックの最大印加電圧に応じて、積層膜の厚さを調節するようにしても良い。

【0093】図6(a)および図6(b)においては、それぞれ、CPU部F2とI/O部F1におけるMOSFETのゲート絶縁膜とゲート電極を模式的に示している。

【0094】ここで、図6(a)および図6(b)においては、半導体基板X1上にゲート絶縁膜GX7およびGX8が形成され、ゲート絶縁膜GX7およびGX8の上には何れもゲート電極X4が形成された構成を示している。

【0095】ゲート絶縁膜GX7は半導体基板X1上に配設された酸化シリコン膜X10と、その上に配設された窒化シリコン膜X11とで構成され、ゲート絶縁膜GX8は半導体基板X1上に配設された酸化シリコン膜X12と、その上に配設された窒化シリコン膜X11とで構成されている。

【0096】そして、図6(b)に示すI/O部F1のOゲート絶縁膜GX8の膜厚T2は、図6(a)に示すCPU部F2のゲート絶縁膜GX7の膜厚T1よりも厚く形成されている。なお、窒化シリコン膜X11の厚さは同じであり、酸化シリコン膜X12の厚さが酸化シリコン膜X10よりも厚く形成されていることで、ゲート絶縁膜GX8がゲート絶縁膜GX7よりも厚くなっている。

【0097】酸化シリコン膜の熱膨張率がシリコンとほとんど同じであるため、熱処理工程中に発生する熱応力が、ON膜に比べて小さいので、基板界面での応力を低減して界面準位密度や欠陥密度を低減することができる。

【0098】また、酸化シリコン膜と窒化シリコン膜

との積層膜は、ON膜に比べてホットキャリア耐性に優れるという特徴も有している。これは、膜中の水素拡散が、膜中に窒素が高濃度に存在すると抑制されるためである。

【0099】なお、窒化シリコン膜の厚さを酸化シリコン膜よりも薄くした場合に、基板界面での応力を低減して界面準位密度や欠陥密度を低減することができることは、ゲート絶縁膜としてON膜を使用する場合と同様である。

【0100】以上説明した酸化シリコン膜と窒化シリコン膜との積層膜の膜厚の設定例は、一例であり、これらの例に限定されるものではない。

【0101】例えば、図7(a)および図7(b)においては、それぞれ、CPU部F2とI/O部F1における酸化シリコン膜と窒化シリコン膜との積層膜の他の設定例を模式的に示している。

【0102】図7(a)および図7(b)において、半導体基板X1上にゲート絶縁膜GX7およびGX9が形成され、ゲート絶縁膜GX7およびGX9の上には何れもゲート電極X4が形成されている。

【0103】ゲート絶縁膜GX7は図6(a)に示すものと同じであるが、ゲート絶縁膜GX3は半導体基板X1上に配設された酸化シリコン膜X10と、その上に配設された窒化シリコン膜X13とで構成されている。

【0104】図7(b)に示すI/O部F1のゲート絶縁膜GX9の膜厚T2は、図7(a)に示すCPU部F2のゲート絶縁膜GX7の膜厚T1よりも厚く形成されている。なお、窒化シリコン膜X13の厚さが、窒化シリコン膜X11よりも厚く形成されていることでゲート絶縁膜GX9がゲート絶縁膜GX7よりも厚くなっている。

【0105】<A-2. 作用効果>以上説明したように、ゲート絶縁膜として2層の絶縁膜を使用し、そのうちの何れか1層のみの膜厚を調整するか、あるいは両層の膜厚を調整することによって、機能ブロックの最大印加電圧に応じて積層膜の厚さを調節することができ、機能ブロックごとに動作速度と信頼性を最適化できる。

【0106】<B. 実施の形態2>

<B-1. 装置構成>本発明に係る実施の形態2として、図8にMOSFET100の断面構成を示す。

【0107】図8においてMOSFET100は、シリコン基板1上に順に配設された重水素を含む酸化シリコン膜111および重水素を含む窒化シリコン膜121の2層膜で構成されるゲート絶縁膜と、窒化シリコン膜121上に順に配設されたドーパントポリシリコン膜13、バリアメタル(WNx, TiNx, Ta, TaN等)層14、タングステン等の金属膜15の3層膜で構成されるゲート電極とを備えている。なお、本発明においてはゲート電極の構造に影響は受けないので、ゲート電極は上記構造に限定されるものではなく、単純な金属電極(C

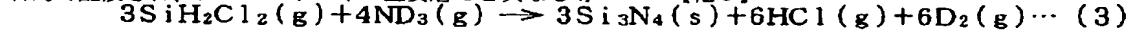
u, Mg, Pt, Zr, Mo, W, Al, Ag, Au, Ni, Co, Ti等)をゲート電極として用いてもよい。

【0108】また、金属膜15上には窒化シリコン膜18が配設され、ゲート絶縁膜およびゲート電極および窒化シリコン膜18を被覆するように被覆絶縁膜161が配設されている。

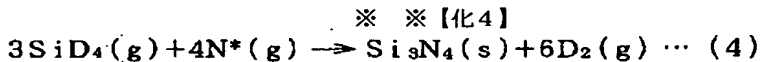
【0109】また、少なくとも被覆絶縁膜161の側面を覆うサイドウォール絶縁膜17、ゲート電極の下部のシリコン基板1の表面内に配設されたチャネル層7、チャネル層7を間に挟んで対向するように配設された一対のエクステンション層6、一対のエクステンション層6に隣接して配設された一対のソース・ドレイン主要層4を有し、エクステンション層6全体、ソース・ドレイン主要層4の一部およびチャネル層7の一部にオーバーラップするようにポケット層5が配設されている。

【0110】ここで、エクステンション層6はソース・ドレイン主要層4と同一導電型であり、ソース・ドレイン層として機能するのでソース・ドレインエクステンション層6と呼称すべきであるが、便宜的にエクステンション層6と呼称する。

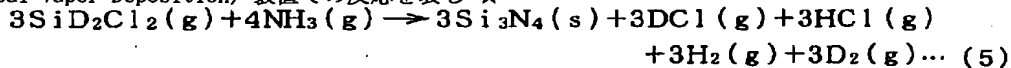
【0111】ポケット層5は短チャネル効果を抑制する目的で配設され、ソース・ドレイン主要層4と異なる導電型で配設される。



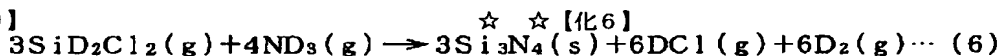
【0116】



【0117】反応式(3)は、LPCVD (Low Pressure Chemical Vapor Deposition) 装置やRTA (Rapid Thermal Anneal) 装置での反応を表し、反応式(4)はプラズマ励起反応を利用したPECVD (Plasma Enhanced Chemical Vapor Deposition) 装置での反応を表し★



【0119】



【0120】ただし、反応式(5)の右辺の水素分子と重水素分子の割合は1:1と仮定したが、この割合は反応の温度、分圧等により決定され一意には決まらない。

【0121】図9～図11はストレス電圧が印加された状態下のON膜中の重水素原子と水素原子の振る舞いを説明する模式図である。なお、図9～図11においては、従来の方法で形成された酸化シリコン膜上に、重水素を含むように形成された窒化シリコン膜を形成した場合を示している。

【0122】図9に示すように、窒化シリコン膜に取り込まれた重水素原子は、シリコン原子と結合したり、あるいは、孤立して存在している。

【0123】また、図9に示すように、酸化シリコン膜

\*電型(チャネル層と同じ導電型)の不純物を注入して構成されている。なお、ポケット層5をエクステンション層6の外側まで延在するように形成すると、ゲート長の変動に対してしきい値電圧の変動を小さくでき、いわゆるロールオフを改善できる。

【0112】また、MOSFET100の活性領域は素子分離絶縁膜の一種であるSTI (Shallow Trench Isolation) 膜3によって規定され、シリコン基板1の内部にはチャネルストッパ層2が配設されている。

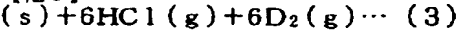
【0113】MOSFET100の特徴は、ゲート絶縁膜として形成されているON膜を構成する窒化シリコン膜121および酸化シリコン膜111が重水素を含んでいる点である。以下、重水素原子を含むON膜の形成方法について説明する。

【0114】<B-2. 重水素原子を含むON膜の形成方法>

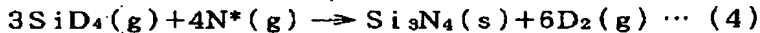
<B-2-1. 重水素を含む窒化シリコン膜の形成方法>まず、重水素を含む窒化シリコン膜の形成方法について説明する。重水素を含む窒化シリコン膜形成に際しての化学反応は、以下に示す反応式(3)および(4)で表される。

【0115】

【化3】



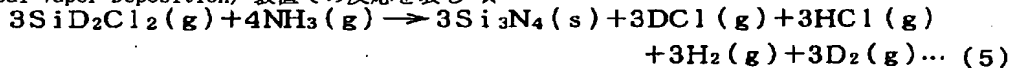
※ ※ 【化4】



★ている。さらに、反応式(3)の変形例として、反応式(5)および(6)を示す。

【0118】

【化5】



☆ ☆ 【化6】



中には水素原子が含まれ、シリコン原子の一部と結合している。図9においては、シリコン原子(Si)と水酸基(OH)との結合体を示している。なお、シリコン原子には記号Rで示される原子が単結合で3つ結合している。これは、酸素(O)や水素(H)やシリコン等の何れかの原子が単結合で3つ結合することを示している。なお、窒化シリコン膜中には、シリコン原子とOD基との結合体が示され、当該シリコン原子には記号Rで示される原子が単結合で3つ結合している。同様の表記は図10～図14においても使用している。

【0124】また、酸化シリコン膜/シリコン基板界面のシリコン原子のダングリングボンドは、水素シンター等の工程により導入された水素原子と結合して終端され

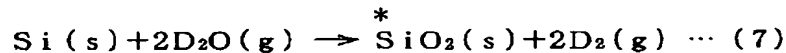
ている。

【0125】いわゆる水素原子は、 $H$  ( $^1H$ プロチウム、質量数1)であるのに対して、重水素には、 $D$  ( $^2H$ ジウテリウム、質量数2)と $T$  ( $^3H$ トリチウム、質量数3)とが存在する。 $D$  (ジウテリウム)は安定であるが、 $T$  (トリチウム)は半減期12年で $\beta^-$ 崩壊する放射性物質であるため、半導体装置に用いるのは望ましくない。そのため、本実施の形態2では、質量数2の重水素 $D$ を用いている。

【0126】なお、ストレス電圧が印加された状態下では、内部電界により加速されてエネルギーを得たシリコン基板中のホットキャリア $HOT$ は、酸化シリコン膜/シリコン基板界面の障壁エネルギーより大きなエネルギーを有することで界面を越え、図9に示すように $SiO_2$ 中に達する。

【0127】そして、ホットキャリア $HOT$ のエネルギーにより、シリコン原子に結合した水酸基の水素原子の結合が切れ、結合が切られた酸素原子の不飽和結合手(ダングリングボンド)は固定電荷として働く。

【0128】結合が切れた水素原子および窒化シリコン膜中の重水素原子は、図10に示すように、ゲート絶縁膜中の電界によるドリフトや、熱拡散により酸化シリコン膜/シリコン基板界面に達する。界面に達した水素原子および重水素原子は、界面の $Si$ 原子と水素原子との結合体と反応し、水素分子および水素重水素分子を形成する。



【0134】具体的な形成方法としては、 $D_2O$  (酸化ジウテリウム)を熱して気化したガスを石英管で構成される反応炉の中に流し、反応式(7)の反応によりシリコン基板を酸化して形成することができる。なお、酸化シリコン膜や $ON$ 膜を従来の手法で形成した後、重水素雰囲気下で熱処理することで重水素を導入するようにしても良い。

【0135】図12～図14はストレス電圧が印加された状態下の $ON$ 膜中の重水素原子と水素原子の振る舞いを説明する模式図である。なお、図12～図14においては、重水素を含むように形成された酸化シリコン膜上に、従来の方法で窒化シリコン膜を形成した場合を示している。

【0136】図12に示すように、酸化シリコン膜に取り込まれた重水素原子は、シリコン原子に結合する酸素原子に結合し、ダングリングボンドを終端してトラップ(捕獲中心)密度を低減したり、あるいは、酸化シリコン膜/シリコン基板界面のシリコン原子のダングリングボンドに結合して終端させ、界面準位密度を低減している。

【0137】なお、ストレス電圧が印加された状態下では、内部電界により加速されてエネルギーを得たシリコン基板中のホットキャリア $HOT$ は、酸化シリコン膜/

\*【0129】また、重水素原子はシリコン原子に結合する水酸基の水素原子と反応して水素重水素分子( $HD$ )を形成することもある。

【0130】これらの水素分子( $H_2$ )や水素重水素分子は気体として揮発し、図11に示すように酸化シリコン膜/シリコン基板界面のシリコン原子の不飽和結合手は界面準位として働き、酸化シリコン膜中のシリコン原子の不飽和結合手は固定電荷として働く。

【0131】固定電荷や界面準位が形成されると、しきい値電圧の変動やドレイン電流の劣化等が起こり、回路の動作速度の低下、および、回路の誤動作を引き起こすが、水素原子に比べて重水素原子は原子量が大きいので、ドリフトや熱拡散の速度は遅い。そのため、窒化シリコン膜中の重水素原子が酸化シリコン膜/シリコン基板界面に達する時間は、窒化シリコン膜中の水素原子が上記界面に達する時間よりも長くなる。その結果、ストレス電圧が印加された状態下でのホットキャリア耐性が向上して、 $MOSFET$ の寿命が長くなる。

【0132】<B-2-2. 重水素を含む酸化シリコン膜の形成方法>以下、重水素を含む酸化シリコン膜の形成方法について説明する。重水素を含む酸化シリコン膜は重水素を含む水( $D_2O$ )で形成する。その化学反応は、以下に示す反応式(7)表される。

【0133】

【化7】

シリコン基板界面の障壁エネルギーより大きなエネルギーを有することで界面を越え、図12に示すように酸化シリコン中に達する。

【0138】そして、ホットキャリア $HOT$ のエネルギーにより、シリコン原子に結合した $OD$ 基の重水素原子の結合が切れ、結合が切られた酸素原子の不飽和結合手は固定電荷として働く。ただし、重水素原子と酸素原子間の結合エネルギーは、水素原子と酸素原子間の結合エネルギーよりも大きいので、ホットキャリアによる酸素原子からの解離は重水素原子の方が起こりにくい。

【0139】また、結合が切れた重水素原子および窒化シリコン膜中の水素原子は、図13に示すように、ゲート絶縁膜中の電界によるドリフトや、熱拡散により酸化シリコン膜/シリコン基板界面に達する。界面に達した水素原子および重水素原子は、界面のシリコン原子と水素原子との結合体と反応し、重水素分子および水素重水素分子を形成する。

【0140】また、重水素原子はシリコン原子に結合した水酸基の水素原子と反応して水素重水素分子を形成することもある。

【0141】これらの水素分子や水素重水素分子は気体として揮発し、図14に示すように酸化シリコン膜/シリコン基板界面のシリコン原子の不飽和結合手は界面準

位として働き、酸化シリコン膜中のシリコン原子の不飽和結合手は固定電荷として働く。

【0142】固定電荷や界面準位が形成されると、しきい値電圧の変動やドレイン電流の劣化等が起こり、回路の動作速度の低下、および、回路の誤動作を引き起こすが、重水素原子とシリコン原子間の結合は強固なので、ホットキャリアによる解離が起こりにくく、ストレス電圧が印加された状態下でのホットキャリア耐性が向上して、MOSFETの寿命が長くなる。

【0143】<B-3. MOSFETの製造方法>次に、製造工程を順に示す図15～図19を用いてMOSFET100の製造方法について説明する。

【0144】まず、シリコン基板1を準備し、図15に示すようにSTI膜3によって活性領域を規定した後、イオン注入によりチャネル層7およびチャネルストップ層3を形成する。

【0145】なお、チャネル層7としては、N型MOSFETの場合には、ボロン、2フッ化ボロン(BF<sub>2</sub>)、インジウム(In)などを注入し、P型MOSFETの場合にはリン(P)、ヒ素(As)、アンチモン(Sb)などを注入する。

【0146】また、チャネルストップ層3にはチャネル層7と同様の不純物を、注入エネルギーを高くして注入する。

【0147】そして、活性領域上に重水素を含む酸化シリコン膜111、重水素を含む窒化シリコン膜121、ドーフトポリシリコン膜13、バリアメタル層14、金属膜15、窒化シリコン膜18で構成される多層膜を選択的に形成する。

【0148】なお、酸化シリコン膜111および窒化シリコン膜121の形成においては、反応式(3)～

(7)を用いて説明した形成方法を採用し、また、酸化シリコン膜111および窒化シリコン膜121の少なくとも一方の膜厚を調整することによって、半導体装置を構成する各機能ブロックの最大印加電圧に対応させることは言うまでもない。

【0149】ドーフトポリシリコン膜13にはボロン、リン、窒素等のドーパントをイオン注入により導入する。この際、ドーパント量を少なくとも $1 \times 10^{15}/\text{cm}^2$ 以上にすると、ポリシリコン層が縮退して金属と同様の電気伝導を有することになる。

【0150】バリアメタル層14は、金属膜15の構成原子が隣接する膜に拡散するのを防止するために配設され、その意味では金属膜15の上部にも配設しても良い。

【0151】窒化シリコン膜18はPECVDにより堆積され、ゲートパターンニングを行う露光工程において、下層の膜からの反射光によりレジストマスクの長さがレイアウト上のゲート長よりも縮小してしまうハレーションを防止するARC(Anti Reflection Coat)膜として

機能する。なお、図15においてはゲートパターンニングを行った後の状態を示している。

【0152】次に、図16に示す工程において、パターンニングしたゲート電極の上部からイオン注入を行って、シリコン基板1の表面内に自己整合的にポケット層5およびエクステンション層6を形成する。

【0153】なお、エクステンション層6としては、N型MOSFETの場合には、P、As、Sb、窒素(N)などを注入し、P型MOSFETの場合には、B、BF<sub>2</sub>、Inなどを注入する。

【0154】また、ポケット層5としては、N型MOSFETの場合には、B、BF<sub>2</sub>、Inなどを注入し、P型MOSFETの場合には、P、As、Sb、Nなどを注入する。

【0155】また、ポケット層5の形成においてはエクステンション層6の先端よりもさらに前方に及ぶように形成するため、基板を傾けて斜め方向から注入する方法が採られる場合もある。

【0156】次に、図17に示す工程において、シリコン基板1全体を窒素あるいは一酸化窒素(NO)雰囲気中でRTA処理し、ゲート電極および窒化シリコン膜18と、シリコン基板1の露出面を窒化あるいは窒化酸化して被覆絶縁膜161Aを形成する。この際、ドーフトポリシリコン膜13の側面には窒化シリコン膜あるいは酸窒化シリコン膜(何れも耐酸化性の膜)が形成され、金属膜15の側面には金属窒化膜が形成される。

【0157】次に、図18に示す工程において、シリコン基板1全体をRTO(Rapid Thermal Oxidation)処理し、被覆絶縁膜161Aを酸化して被覆絶縁膜161を形成する。酸化を行うのは、異方性エッチングやイオン注入によりゲート電極やシリコン基板に発生した欠陥を酸化膜に取り込んで除去するためである。

【0158】なお、ドーフトポリシリコン膜13の側面には耐酸化性の膜が形成されているので、大きく酸化されることはない。

【0159】RTA処理およびRTO処理によりシリコン基板1の露出面には酸窒化シリコン膜が形成され、同時に、エクステンション層6やポケット層5にイオン注入されたドーパントが、シリコン基板を構成する結晶格子位置に配位して活性化する。

【0160】次に、図19に示す工程において、全面を覆うように絶縁膜を形成し、異方性エッチングにより少なくとも被覆絶縁膜161の側面を覆うサイドウォール絶縁膜17を形成する。なお、上記絶縁膜としては、窒化シリコン膜、酸窒化シリコン膜、酸化シリコン膜、TEOS(tetraethyl orthosilicate: Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)膜、BPTEOS(boro-phospho tetraethyl orthosilicate)膜やこれらの多層膜を使用すれば良い。

【0161】最後に、サイドウォール絶縁膜17の上部からイオン注入を行って、シリコン基板1の表面内に自

己整合的にソース・ドレイン主要層 4 を形成することで、図 8 に示す MOSFET 100 を得る。

【0162】なお、ソース・ドレイン主要層 4 としては、N 型 MOSFET の場合には、P、As、Sb、N などを入力し、P 型 MOSFET の場合には、B、BF<sub>2</sub>、In などを入力する。

【0163】なお、この後、ソース・ドレイン主要層 4 の表面に窒素あるいはゲルマニウムあるいはアルゴンをイオン注入してソース・ドレイン主要層 4 の表面をアモルファスシリコンとし、続いて、全面に渡ってコバルトあるいはチタン等の高融点金属膜を形成し、高温処理によりシリサイド化して、シリコン基板 1 の露出面と高融点金属膜の接触している部分に金属シリサイドを形成するようにしても良い。金属シリサイドを形成することでソース・ドレイン主要層 4 の抵抗を低減し、MOSFET 100 の動作速度を高めることができる。

【0164】<B-4. 作用効果>以上説明したように、重水素原子は水素原子よりも重いので、窒化シリコン膜から酸化シリコン/シリコン基板界面へのドリフトあるいは拡散する速度が水素原子に比べて遅い。そのため、ON 膜の窒化シリコン膜に重水素を含ませること

で、ストレス電圧が印加された状態下でも、界面準位を形成する速度が遅くなる。その結果、MOSFET の信頼性が向上することになる。

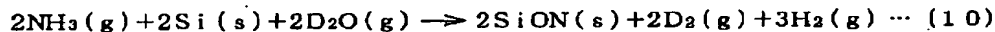
【0165】また、重水素原子とシリコン原子間の結合 \*  

$$2\text{ND}_3(\text{g}) + 2\text{Si}(\text{s}) + \text{O}_2(\text{g}) \rightarrow 2\text{SiON}(\text{s}) + 3\text{D}_2(\text{g}) \cdots (8)$$

【0170】 ※ ※ 【化 9】  

$$2\text{ND}_3(\text{g}) + 2\text{Si}(\text{s}) + 2\text{D}_2\text{O}(\text{g}) \rightarrow 2\text{SiON}(\text{s}) + 5\text{D}_2(\text{g}) \cdots (9)$$

【0171】 ★ ★ 【化 10】



【0172】 ☆ ☆ 【化 11】  

$$2\text{ND}_3(\text{g}) + 2\text{Si}(\text{s}) + 2\text{H}_2\text{O}(\text{g}) \rightarrow 2\text{SiON}(\text{s}) + 3\text{D}_2(\text{g}) + 2\text{H}_2(\text{g}) \cdots (11)$$

【0173】D<sub>2</sub>O を熱して気化したガスあるいは気化した ND<sub>3</sub> を石英管で構成される反応炉の中に流し、シリコン基板を酸化して形成することができる。

【0174】酸窒化シリコン膜が酸化シリコン膜に比べて優れている点は、膜中のシリコン原子のダングリングボンドを窒素原子が終端する点にある。Si-N の結合エネルギーは、Si-H の結合エネルギーよりも大きい。そのため、ホットキャリアにより結合を切られる割合が小さい。また、膜中の窒素原子が水素原子のドリフトや熱拡散の速度を減速するので、ホットキャリア耐性が向上することになる。

【0175】また、従来の酸窒化シリコン膜の形成方法としては、NO や N<sub>2</sub>O ガスを酸素ガスで希釈したガスを石英管で構成される反応炉の中に流し、シリコン基板を酸化して形成すれば良い。

\*エネルギーは、水素原子とシリコン原子間の結合エネルギーよりも大きいので、ホットキャリアによりシリコン原子からの解離は重水素原子の方が起こりにくい。そのため、ON 膜の酸化シリコン膜に重水素を含ませることで、ストレス電圧が印加された状態下での、ホットキャリアによる解離が起こりにくく、ストレス電圧が印加された状態下でのホットキャリア耐性が向上して、MOSFET の寿命が長くなり、信頼性が向上することになる。

【0166】なお、ON 膜の窒化シリコン膜だけに重水素を含ませた構成、あるいは酸化シリコン膜だけに重水素を含ませた構成でも上記のように MOSFET の信頼性を向上させる効果を有するが、図 8 に示す MOSFET 100 のように、両者を併せて備えた ON 膜であれば、その効果はより高まることになる。

【0167】<B-5. 変形例>以上説明した実施の形態 2 においては、ゲート絶縁膜として重水素を含む ON 膜を使用する構成を示したが、ON 膜を構成する酸化シリコン膜の代わりに酸窒化シリコン膜 (SiON) を用いても良い。

【0168】重水素を含む酸窒化シリコン膜酸形成に際しての化学反応は、以下に示す反応式 (8) ~ (11) で表される。

【0169】

【化 8】



【0176】また、重水素を含む ON 膜の代わりに、重水素を含む酸化シリコン膜の上に重水素を含む酸窒化シリコン膜を積層した構成としても良い。

【0177】<C. 実施の形態 3>

<C-1. 装置構成>以下、本発明に係る実施の形態 3 として、ゲート絶縁膜、ゲート電極および、その上部の窒化シリコン膜を被覆する被覆絶縁膜として、重水素を含んだ被覆絶縁膜を使用する構成について説明する。

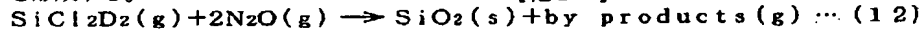
【0178】図 20 に、重水素を含んだ被覆絶縁膜 162 を有する MOSFET 200 の構成を示す。なお、図 20 においては、図 8 を用いて説明した MOSFET 100 と同一の構成については同一の符号を付し、重複する説明は省略する。

【0179】図 20 に示すように、MOSFET 200 は、重水素を含む酸化シリコン膜 111 および重水素を

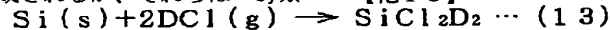
含む窒化シリコン膜 121 の 2 層膜で構成されるゲート絶縁膜、窒化シリコン膜 121 上に順に配設されたドーパントシリコン膜 13、バリアメタル層 14、金属膜 15 の 3 層膜で構成されるゲート電極および、その上部の窒化シリコン膜 18 を被覆するように重水素を含む被覆絶縁膜 162 が配設されている。

【0180】< C-2. 製造方法 > 以下、MOSFET 200 の製造方法について説明する。なお、基本的には図 15～図 19 を用いて説明した MOSFET 100 の製造方法と同様であり、異なるのは被覆絶縁膜 162 の形成に関する部分だけであるので、以下においては被覆絶縁膜 162 の形成についてのみ説明する。

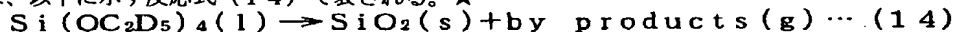
【0181】図 16 を用いて説明したポケット層 5 およびエクステンション層 6 の形成後、図 17 に示す被覆絶縁膜 161A と同様に、シリコン基板 1 全体に渡って被覆絶縁膜 162 を形成する。



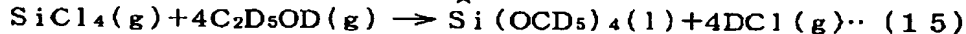
【0186】上記反応の特徴は、 $\text{SiCl}_2\text{H}_2$  (DCS: dichlorosilane) の代わりに  $\text{SiCl}_2\text{D}_2$  をソースガスとして、酸化シリコン膜を LPCVD 装置で形成することである。これにより、 $\text{SiCl}_2\text{D}_2$  に含まれる重水素原子の一部が反応中に酸化シリコン膜に取り込まれることになる。上記反応においては酸化シリコン膜以外に有機シリコン化合物等も形成されるが、それらは「by ※



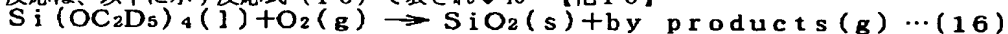
【0189】< LPCVD 法による TEOS 酸化膜の形成 > CVD 法を用いての酸化シリコン膜の形成に際しての化学反応は、以下に示す反応式 (14) で表される。★



【0191】上記反応の特徴は、TEOS 中の水素を重水素で置換した重水素 TEOS をソースガスとして、酸化シリコン膜を LPCVD 装置で形成することである。これにより、重水素 TEOS に含まれる重水素原子の一部が反応中に酸化シリコン膜に取り込まれることになる。

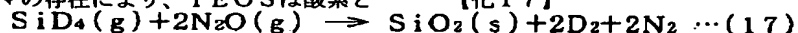


【0194】< PECVD 法による HDP 酸化膜の形成 > CVD 法を用いての HDP 酸化シリコン膜の形成に際しての化学反応は、以下に示す反応式 (16) で表される。◆



【0196】上記反応の特徴は、TEOS 中の水素を重水素で置換した重水素 TEOS をソースガスとして、酸化シリコン膜を PECVD 装置で形成することである。

【0197】PECVD 法は、反応室中に低圧下で電極間に電圧 (高周波電圧) を印加することによりプラズマを生成し、当該プラズマにより CVD 反応を促進させる手法である。プラズマの存在により、TEOS は酸素と



\* 【0182】被覆絶縁膜 162 を形成する主たる目的は、異方性エッチング時にシリコン基板表面が被るエッチングダメージを回復するためである。

【0183】被覆絶縁膜 162 の形成方法としては、(A) CVD 法による酸化シリコン膜、TEOS 酸化膜 (tetraethy lorthosilicate:  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) や HDP (High Density Plasma) 酸化膜の堆積、(B) 酸化雰囲気下で熱処理することによる酸化膜の形成、の 2 つがある。以下の両者の方法について説明する。

10 【0184】< C-2-1. CVD 法による酸化シリコン膜の形成 >

< LPCVD 法による酸化シリコン膜の形成 > CVD 法を用いての酸化シリコン膜の形成に際しての化学反応は、以下に示す反応式 (12) で表される。

【0185】

【化 12】

※ products」として示している。これは以下に示す他の反応式においても同じである。

20 【0187】なお、 $\text{SiCl}_2\text{D}_2$  の形成方法の一例としては、以下に示す反応式 (13) で表される化学反応を利用すれば良い。

【0188】

【化 13】

★ 【0190】

【化 14】

30 ☆ 【0192】なお、重水素 TEOS の形成方法の一例としては、以下に示す反応式 (15) で表される化学反応を利用すれば良い。

【0193】

【化 15】

◆る。

【0195】

【化 16】

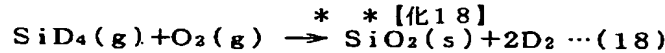
直接反応して酸化シリコン膜を形成し、高密度な酸化シリコン膜を形成することができる。

【0198】その他、以下に示す反応式 (17) および (18) で表される反応を用いることによっても HDP 酸化シリコン膜を形成できる。

【0199】

【化 17】

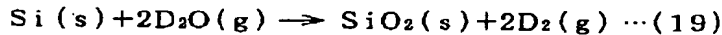
【0200】



【0201】上記反応の特徴は、 $\text{SiH}_4$  (silane) 中の水素を重水素で置換した重水素シラン ( $\text{SiD}_4$ ) をソースガスとして、酸化シリコン膜をPECVD装置で形成することである。これにより、重水素シランに含まれる重水素原子の一部が反応中に酸化シリコン膜に取り込まれることになる。

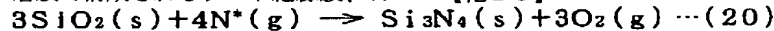
【0202】< C-2-2. 熱酸化法による酸化シリコン膜の形成 > まず、シリコン基板1全体を窒素雰囲気下においてRTA処理し、ゲート電極を形成する際の異方性エッチングにより被ったエッチングダメージをある程度回復させる。このとき同時にシリコン基板1の露出表面とゲート電極の側面が窒化される。

【0203】ゲート電極のドーパントポリシリコン膜13※

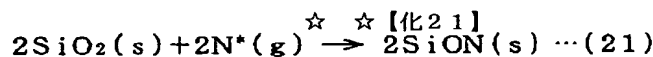


【0206】なお、酸化シリコン膜の代わりに重水素原子を含む酸窒化シリコン膜を形成してもよい。その場合は、先に説明した反応式(8)～(11)で表される反応を使用して形成すれば良い。

【0207】また、重水素を含む酸化シリコン膜111および重水素を含む窒化シリコン膜121の2層膜で構成されるゲート絶縁膜の代わりに、実施の形態1において説明した重水素を含む酸化シリコン膜と重水素を含む酸窒化シリコン膜の2層膜で構成されるゲート絶縁膜、★



【0210】



【0211】上記反応式(20)で示される方法は、半導体基板の表面に酸化シリコン膜を形成した後、窒素原子ラジカル ( $\text{N}^*$ ) で酸化シリコン膜の表面を窒化することでON膜を形成するものであり、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ の2層膜が形成される。また反応式(21)においては、 $\text{SiON}/\text{SiO}_2$ の2層膜が形成される。

【0212】< C-3. 作用効果 > 以上説明した方法により形成された重水素を含む酸化シリコン膜においては、何れも膜中の重水素原子が、膜中のシリコン原子のダングリングボンドと結合して終端させたり、酸化シリコン膜/シリコン基板界面のシリコン原子のダングリングボンドと結合して終端させるので、結果的にトラップ密度や界面準位密度が低減することになる。

【0213】被覆絶縁膜162はゲート絶縁膜に隣接する部分もあるので、ダングリングボンドを低減できる重水素を含む酸化シリコン膜を使用することで、ゲート絶縁膜に影響を与えないという点で望ましい構成と言える。

【0214】< C-4. 変形例 > 図8および図20に示すMOSFET100および200においては、ゲート

※は酸化されやすいので、側面を窒化することにより酸化が抑制される。次に、例えば、酸化雰囲気下で熱処理することにより、露出したシリコン基板1の表面が酸化されて、酸化シリコン膜が形成される。このとき同時にエッチングダメージは、該酸化シリコン膜に取り込まれて除去される。先の工程で表面が窒化されたシリコン基板1を酸化するので、該酸化シリコン膜は窒素原子を含んでいる。

【0204】ここで、酸化雰囲気の一例として、 $\text{D}_2\text{O}$  雰囲気がある。この場合の酸化反応は下記の反応式(19)で表される。

【0205】

【化19】

★あるいは、重水素を含む酸窒化シリコン膜と重水素を含む窒化シリコン膜の2層膜で構成されるゲート絶縁膜を使用しても良いことは言うまでもない。

【0208】なお、窒化シリコン膜の形成については、反応式(1)および(2)を用いて説明した以外に、下記の反応式(20)および(21)で表される化学反応により形成される場合もある。

【0209】

【化20】

☆ ☆ 【化21】

絶縁膜である重水素を含む酸化シリコン膜111および重水素を含む窒化シリコン膜121は、ゲート電極のパターニング形状に合わせてパターニングされた形状であり、被覆絶縁膜161および162は、ゲート絶縁膜の側面に接触する構成となっていたが、図21に示すMOSFET300のような構成としても良い。

【0215】すなわち、図21に示すMOSFET300においては、重水素を含む酸化シリコン膜111および重水素を含む窒化シリコン膜121は、サイドウォール絶縁膜17の下部にまで延在し、被覆絶縁膜162はサイドウォール絶縁膜17と窒化シリコン膜121との間にも延在するように配設されている。

【0216】このような構成とした場合、被覆絶縁膜162とゲート絶縁膜とが接触する面積が増えるので、重水素を含む酸化シリコン膜で構成される被覆絶縁膜162は、ゲート絶縁膜に影響を与えないという点でより望ましい構成と言える。

【0217】なお、図21では、ゲート電極の異方性エッチングは窒化シリコン膜121上で停止するように示されているが、実際には窒化シリコン膜121は多少オ

ーバーエッチングされる。

【0218】また、以上説明した本発明に係る実施の形態1～3においては、本発明をMOSFETに適用した構成を示したが、本発明は、flash EEPROM (Electrically Erasable Programmable Read Only Memory) やLD MOSFET (Lateral Diffusion MOSFET) や、DT MOSFET (Dynamic Threshold MOSFET) にも同様に適用できる。

【0219】また、以上説明した実施の形態1～3では、ゲート絶縁膜としてON膜を使用する構成を主として説明したが、ONO (Oxide-Nitride-Oxide) 膜、 $\text{SiO}_2/\text{SiON}$ 膜、 $\text{SiO}_2/\text{SiON}/\text{SiO}_2$ 膜、 $\text{SiN}/\text{SiON}$ 膜とし、各機能ブロックごとに膜厚を調整したり、重水素を含ませるようにしても良い。

【0220】また、実施の形態3において説明した被覆絶縁膜162としては、重水素を含んだ酸化シリコン膜あるいは重水素を含んだ酸窒化シリコン膜を例示したが、被覆絶縁膜162を、ONO膜、 $\text{SiO}_2/\text{SiON}$ 膜、 $\text{SiO}_2/\text{SiON}/\text{SiO}_2$ 膜、 $\text{SiON}/\text{SiN}$ 膜等の多層膜で構成し、その中の何れかの層に重水素を含む構成としても、実施の形態3と同様の効果を得ることができる。

【0221】＜D. 実施の形態4＞本発明に係る実施の形態2においては、ゲート絶縁膜として重水素を含むON膜を使用する構成を示したが、ON膜を構成する窒化シリコン膜において水素原子の含有量を少なくできれば実施の形態2の半導体装置と同様の作用効果を得ることができる。

【0222】すなわち、図48を用いて説明したように反応式(1)で表される化学反応では、ソースガスのアンモニアの分圧が高くなるほど、窒化シリコン膜中の含有水素原子濃度が高くなっている。

【0223】従って、反応式(2)で表される化学反応を用いて窒化シリコン膜を形成すれば、含有水素原子濃度を低くすることができる。

【0224】含有水素原子濃度を低くできれば、ON膜中における水素原子のドリフトあるいは熱拡散により界面準位や固定電荷が発生する量を低減でき、ホットキャリア耐性を向上できる。

【0225】＜E. 実施の形態5＞

＜E-1. 装置構成＞次に、図22～図32を用いて、本発明に係る実施の形態5について説明する。

【0226】図22は本発明に係る実施の形態5の半導体装置の特徴部を示す図である。すなわち、図22において、シリコン基板51の表面内にSTI膜50が配設され、その上部端縁部はシリコン基板51の主面上に緩やかな丸みを有して盛り上がった内壁酸化膜58で構成されており、当該端縁部にMOSFETのゲート電極64のゲート幅方向の端縁部が係合した構成が示されている。

【0227】STI膜50は、シリコン基板51の表面内にトレンチ57を設け、その内壁面に配設された内壁酸化膜58と、トレンチ57内部に埋め込まれた埋め込み絶縁膜61とを有して構成されている。なお、図22はゲート電極64の幅方向の断面図を示しており、ゲート電極64とシリコン基板51との間にはゲート絶縁膜63が配設されている。

【0228】このような構成のSTI膜50における特徴は、内壁酸化膜58および埋め込み絶縁膜61が重水素を含むことである。

【0229】＜E-2. 製造方法＞以下、製造工程を順に示す図23～図30を用いてSTI膜50の製造方法について説明する。

【0230】まず、図23に示す工程において、シリコン基板51を準備し、シリコン基板51上に酸化シリコン膜52とポリシリコン膜（あるいは、アモルファスシリコン膜）53、窒化シリコン膜54を順に堆積する。

【0231】なお、酸化シリコン膜52は内壁酸化膜58の部分的酸化を促進するための膜であり、ポリシリコン膜53は後の工程で形成される酸化シリコン膜のパーズピーク周辺の応力を緩和する膜である。

【0232】次に、図24に示す工程において、転写工程で形成したレジストマスク55を用いて、窒化シリコン膜54をパターンニングし、ポリシリコン膜53に達する開口部OPを形成する。なお、レジストマスク55の開口パターンはシリコン基板51に形成するトレンチのパターンに合わせて設定される。

【0233】次に、レジストマスク55を除去後、図25に示す工程において、窒化シリコン膜54をハードマスクとしてシリコン基板51を異方性エッチングし、トレンチ57を形成する。なお、この段階ではトレンチ57の開口部に連続するように、酸化シリコン膜52の開口部56bとポリシリコン膜53の開口部56aとが存在している。

【0234】次に、図26に示す工程において、トレンチ57の内壁を酸化、あるいは窒化酸化して、酸化シリコン膜、あるいは酸窒化シリコン膜で構成される内壁酸化膜58を形成する。

【0235】内壁酸化膜58を形成するための化学反応は、先に説明した反応式(7)～(12)、(14)、(16)～(19)で表される反応を使用すれば良く、これらの化学反応により得られる酸化シリコン膜、あるいは酸窒化シリコン膜は重水素を含むことになる。

【0236】図26において内壁酸化膜58はトレンチ57（図25参照）の内壁だけでなく、酸化シリコン膜52の開口部56b（図25参照）とポリシリコン膜53の開口部56a（図25参照）にも形成され、特に酸化シリコン膜52の開口部56aにおいては酸化が促進されてパーズピーク59が形成され、その厚みが厚くなる。なお、図26においてはパーズピーク59によって

厚みが増した部分を符号 60 で示している。

【0237】また、図示は省略するが、内壁酸化膜 58 を覆うように重水素を含む窒化シリコン膜を配設するようにしても良い。この窒化シリコン膜を形成するための化学反応は、先に説明した反応式 (3) ~ (6) で表される反応を使用すれば良い。

【0238】次に、図 27 に示す工程において、例えば、酸化シリコン膜、酸窒化シリコン膜、TEOS 膜、HDP 酸化シリコン膜等の埋め込み絶縁膜 61 でトレンチ 57 を埋め込む。

【0239】埋め込み絶縁膜 61 を形成するための化学反応は、先に説明した反応式 (7) ~ (12)、(14)、(16) ~ (19) で表される反応を使用すれば良く、これらの化学反応により得られる絶縁膜は重水素を含むことになる。

【0240】次に、重水素雰囲気下、アルゴン雰囲気下、あるいは窒素雰囲気下で熱処理を行う。この熱処理は埋め込み絶縁膜 61 を焼き締める (densification) ことと、当該絶縁膜 61 の粘性流動の性質を利用して STI 膜 50 の周囲の応力を緩和するためである。

【0241】重水素を含んだ絶縁膜は重水素含有量が多いほど柔らかくなるので、応力緩和には効果的な材質である。

【0242】なお、絶縁膜中での重水素原子は、水素原子よりも強固にシリコン原子と結合するので、800 ~ 1200℃ 程度の高温で熱処理しても重水素原子の揮発量は少ない。重水素原子の揮発をさらに抑制するには、重水素雰囲気下で熱処理を行うか、あるいは低温高圧の雰囲気下で熱処理を行えば良い。

【0243】次に、図 28 に示す工程において、CMP (Chemical Mechanical Polishing) 処理により、窒化シリコン膜 54 をストップとして用いて、埋め込み絶縁膜 61 の上面を平坦化する。

【0244】次に、図 29 に示す工程において、窒化シリコン膜 54 およびポリシリコン膜 53 をエッチングにより除去する。この段階では、窒化シリコン膜 54 およびポリシリコン膜 53 で囲まれていた部分に余分な埋め込み絶縁膜 61 が残っている。

【0245】次に、図 30 に示す工程において、余分な埋め込み絶縁膜 61 をエッチングにより除去することで STI 膜 50 が形成される。このとき、酸化シリコン膜 52 および余分な埋め込み絶縁膜 61 の周囲の内壁酸化膜 58 も除去され、埋め込み絶縁膜 61 の上部端縁部には、バースピーク 59 によって厚みが増した内壁酸化膜 58 が盛り上がるように残ることになる。

【0246】最後に、シリコン基板 1 上にゲート絶縁膜 63 を形成し、ゲート絶縁膜 63 上にゲート電極 64 を形成することで図 22 に示す構成を得ることができる。

【0247】< E-3. 作用効果 > 図 31 に、図 22 に  
おける STI 膜 50 の上部端縁部近傍の構成を拡大して

示す。図 31 に示すように、ゲート電極 64 が係合するような STI 膜 50 においては、内壁酸化膜 58 / シリコン基板 51 界面に界面準位やトラップがホットキャリア等により形成されると、ゲート絶縁膜の場合と同様にゲート電極 64 を有する MOSFET の電流駆動力が低下する。

【0248】しかし、STI 膜 50 のように内壁酸化膜 58 に重水素が含まれていると、内壁酸化膜 58 中のダングリングボンドを重水素が終端するため、ホットキャリア耐性が向上して信頼性が向上することになる。

【0249】また、STI 膜 50 のように重水素を含む埋め込み絶縁膜 61 を用いることで、内壁酸化膜 58 中の重水素が、後工程の熱処理で揮発することを防止する効果がある。

【0250】なお、STI 膜 50 で活性領域を規定し、そこに実施の形態 1 ~ 実施の形態 3 において説明した重水素原子を含む多層構造のゲート絶縁膜を有する MOSFET を形成するようにしても良いことは言うまでもない。

【0251】< E-4. ポリシリコン膜の効果 > 図 23 に示す工程において、シリコン基板 51 上に酸化シリコン膜 52 とポリシリコン膜 53 を設ける構成を示したが、ポリシリコン膜 53 は図 30 を用いて説明した工程において、余分な埋め込み絶縁膜 61 をエッチングにより除去する際に、埋め込み絶縁膜 61 の上部端縁部に、バースピーク 59 によって厚みが増して盛り上がった内壁酸化膜 58 を残すために必要な構成である。

【0252】図 32 は、ポリシリコン膜 53 を配設せずに形成した場合の STI 膜 50 を示す図であり、埋め込み絶縁膜 61 の上部端縁部の内壁酸化膜 58 は窪み部 DP を有した形状となっている。

【0253】これは、ポリシリコン膜 53 が配設されなかった分だけ、余分な埋め込み絶縁膜 61 の周囲の内壁酸化膜 58 (図 29 参照) の高さが低くなり、内壁酸化膜 58 が過剰にエッチングされてしまった結果である。

【0254】このように、内壁酸化膜 58 の上部端縁部に窪み部 DP が形成されると、当該部分に係合するように形成されるゲート電極 64 のゲート幅方向の端縁部も窪み、そこに電界が集中して、しきい値電圧の設計値よりも低い電圧で MOSFET がオンすることになるので (逆狭チャネル効果: Reverse Narrow Channel Effect) 望ましくない。ポリシリコン膜 53 は、このような状態になることを防止する効果を有している。

【0255】< F. 実施の形態 6 >

< F-1. 装置構成 > 次に、図 33 ~ 図 42 を用いて、本発明に係る実施の形態 6 について説明する。

【0256】図 33 は本発明に係る実施の形態 6 として、SOI 基板 SB1 の構成を示す断面図である。

【0257】SOI 基板 SB1 は、シリコン基板 81 の上部に、BOX (Buried Oxide) 膜である埋め込み絶縁

膜BX1およびSOI層74が積層された構成を有し、埋め込み絶縁膜BX1内および埋め込み絶縁膜BX1と、それに隣接する層の界面に重水素を含むことを特徴としている。

【0258】<F-2. 製造方法>以下、製造工程を順に示す図34～図37を用いてSOI基板SB1の製造方法について説明する。

【0259】まず、図34に示す工程において シリコン基板71を準備し、その主面を洗浄後、例えば、反応式(7)で表される反応を用いて、重水素を含有する酸化シリコン膜72を形成する。

【0260】次に、図35に示す工程において、酸化シリコン膜72の上部から水素イオン、あるいは重水素イオンをイオン注入して注入層73を形成する。そのドーズ量は、 $1 \times 10^{16} / \text{cm}^2 \sim 1 \times 10^{17} / \text{cm}^2$ 程度である。また、注入エネルギーは、酸化シリコン膜72の膜厚と、後にSOI層74となる部分の膜厚の和が、注入イオン濃度分布のピーク位置にほぼ一致するように決定する。なお、図34においては、水素や重水素原子の濃度がピークとなる領域を注入層73として示している。

【0261】シリコン原子と水素原子の結合よりも、シリコン原子と重水素原子の結合の方が強固であり、後に図37を用いて示す基板分離工程では基板の分離を容易にできるので、重水素イオンを注入する方が望ましい。

【0262】次に、図36に示す工程において、シリコン基板81を準備し、その主面を洗浄後、酸化シリコン膜82を形成する。そして、図36に示すように、シリコン基板81の酸化シリコン膜82が形成された主面と、シリコン基板71の酸化シリコン膜72が形成された主面とを向かい合わせ、両者を室温で接合する。

【0263】次に、図37に示す工程において、接合した状態のシリコン基板71および81に2回の熱処理を行う。

【0264】第一の熱処理は、 $400^\circ\text{C} \sim 600^\circ\text{C}$ で行い、水素、あるいは、重水素が注入された注入層73を境として、シリコン基板71および注入層73を、シリコン基板71および81の接合体から分離する。

【0265】注入層73には、水素原子や重水素原子が高濃度で注入されるためアモルファスシリコンになり、シリコン原子のダングリングボンドが、水素原子や重水素原子で終端される。一方、シリコン原子同士の結合は弱いので、注入層73を境として分離する。

【0266】この結果、注入層73の上部にあったシリコン単結晶層はシリコン基板81の主面上に残り、SOI層74となり、酸化シリコン膜72および82が埋め込み絶縁膜BX1となってSOI基板SB1が形成される。

【0267】第2の熱処理は、 $1100^\circ\text{C}$ 程度で行い、SOI基板SB1内の化学結合を強化する。

【0268】なお、第2の熱処理直後のSOI基板SB1表面のマイクロラフネスは約 $10\text{nm}$ と大きいので、マイクロラフネスが $0.15\text{nm}$ 以下になるように研磨することで、図33を用いて説明したSOI基板SB1が完成する。

【0269】<F-3. 作用効果>以上説明したように、本発明に係る実施の形態6のSOI基板においては、埋め込み絶縁膜BX1内および埋め込み絶縁膜BX1と、それに隣接する層の界面に重水素を含むSOI基板SB1を使用するので、埋め込み絶縁膜BX1中のシリコン原子と重水素の結合エネルギーは、シリコン原子と水素原子の結合エネルギーより大きく、界面準位や固定準位が形成されにくい。そのため、SOI基板SB1に形成される半導体装置の信頼性を高めることができる。

【0270】なお酸化シリコン膜82は必須ではなく、また、酸化シリコン膜82には重水素を含ませなくても良い。SOI層74に隣接する酸化シリコン膜72が重水素を含んでいれば、本発明の作用効果は得ることができる。

【0271】<F-4. 変形例>以下、図38～図42を用いて、本実施の形態の変形例の構成について説明する。

【0272】図38に示すSOI基板SB2においては、SOI層74に隣接して酸化シリコン膜(SiON)72Aが配設されて埋め込み絶縁膜BX2を構成している。その他の構成は図33に示すSOI基板SB1と同じである。

【0273】図39に示すSOI基板SB3においては、SOI層74に隣接して酸化シリコン膜72Aが配設されるとともに、酸化シリコン膜72Aの下部には酸化シリコン膜82Aが配設されて埋め込み絶縁膜BX3を構成している。その他の構成は図33に示すSOI基板SB1と同じである。

【0274】図40に示すSOI基板SB4においては、SOI層74に隣接して酸化シリコン膜72Aが配設されるとともに、酸化シリコン膜72Aの下部には窒化シリコン膜82Bが配設され埋め込み絶縁膜BX4を構成している。その他の構成は図33に示すSOI基板SB1と同じである。

【0275】図41に示すSOI基板SB5においては、SOI層74に隣接する酸化シリコン膜72の下部には酸化シリコン膜82Aが配設されて埋め込み絶縁膜BX5を構成している。その他の構成は図33に示すSOI基板SB1と同じである。

【0276】図42に示すSOI基板SB6においては、SOI層74に隣接する酸化シリコン膜72の下部には窒化シリコン膜82Bが配設されて埋め込み絶縁膜BX6を構成している。その他の構成は図33に示すSOI基板SB1と同じである。

【0277】以上説明した、SOI 基板 SB2～SB6 においては、埋め込み絶縁膜 BX1 の代わりに、酸化シリコン膜と酸化シリコン膜の多層膜、酸化シリコン膜の多層膜、酸化シリコン膜と窒化シリコン膜の多層膜、酸化シリコン膜と窒化シリコン膜の多層膜を配設する構成であり、これらの多層膜は反応式 (1)～(12)、(14)、(16)～(19) で表される反応を使用すれば良い。

【0278】なお、図 38～図 40 に示すように、SOI 層 74 と酸化シリコン膜 72A とが接触する構成では、酸化シリコン膜 72A 中の窒素原子が、SOI 層 74 と酸化シリコン膜 72A との界面に存在するシリコンのダングリングボンドを終端するので界面準位が低減し、MOSFET がオフ状態でのリーク電流が低減する。

【0279】また、先述したように、酸化シリコン膜の熱膨張率はシリコンとほぼ同じであるので、高温処理の際の熱膨張率の差異に起因する熱応力を低減できる。

【0280】なお、図 42 に示すように、酸化シリコン膜 72 の下部に窒化シリコン膜 82B が形成される構成においては、酸化シリコン膜 72 で発生する圧縮応力と、窒化シリコン膜 82B で発生する引っ張り応力とを利用して、多層膜全体での応力を緩和でき、その結果、隣接する SOI 層 74 との界面に形成される界面準位を低減できる。

【0281】また、SOI 基板 SB1～SB6 における埋め込み絶縁膜 BX1～BX6 の厚さの大小は、実施の形態 1 を用いて説明したゲート絶縁膜を構成する多層膜の厚さの大小と同じ効果を奏する。そして、上記絶縁膜の多層膜を第 2 のゲート絶縁膜として用いることで、ダブルゲート MOSFET を形成することも可能である。

【0282】また、SOI 基板 SB1～SB6 上に実施の形態 1～実施の形態 3 において説明した重水素原子を含む多層膜のゲート絶縁膜を有する MOSFET を形成するようにしても良く、実施の形態 5 において説明した重水素原子を含む STI 膜を SOI 基板 SB1～SB6 の表面内に設けて活性領域を規定するようにしても良いことは言うまでもない。

【0283】＜F-5. 発明の展開＞以上説明した本発明に係る実施の形態 6 の SOI 基板においては、少なくとも埋め込み絶縁膜が重水素を含むことを特徴としたが、埋め込み絶縁膜が重水素を含む、含まないに関わらず、熱に対して酸化シリコン膜の応力は膨張型 (compressive) であり、窒化シリコン膜の応力は収縮型 (tensile) であるので、酸化シリコン膜と窒化シリコン膜との 2 層膜を埋め込み絶縁膜として使用すると熱応力が緩和される。従って、酸化シリコン膜のみの同じ厚さの埋め込み絶縁膜と比較した場合に、SOI 層にかかる熱応力が低減するという効果がある。

【0284】また、酸化シリコン膜の熱膨張率はシリ

コンと同程度であるので、酸化シリコン膜と酸化シリコン膜との 2 層膜を埋め込み絶縁膜として使用すると、酸化シリコン膜のみの同じ厚さの埋め込み絶縁膜と比較した場合に、SOI 層にかかる熱応力が低減するという効果がある。

【0285】従って、その内部に重水素を含まなくとも、酸化シリコン膜と窒化シリコン膜との 2 層膜、酸化シリコン膜と酸化シリコン膜との 2 層膜、窒化シリコン膜と酸化シリコン膜との 2 層膜を埋め込み絶縁膜として使用することで、熱応力を緩和でき、その結果、隣接する SOI 層との界面に形成される界面準位を低減できるので、製造工程に起因する欠陥が低減し、MOSFET 等の半導体装置のリーク電流を低減できるという効果を得ることができる。もちろん、その内部に重水素を含ませることで SOI 基板に形成される MOSFET 等の半導体装置の信頼性をさらに高めることができることは言うまでもない。

【0286】なお、埋め込み絶縁膜としては 2 層膜に限定されるものではなく、ONO (Oxide-Nitride-Oxide) 膜を使用しても良いし、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜で構成される多層膜であっても良い。

【0287】ここで、一例として、多層膜で構成される埋め込み絶縁膜 BX2 を有する SOI 基板 SB2 に MOSFET 90 を配設した構成を図 49 に示す。

【0288】図 49 において MOSFET 90 は、SOI 基板 SB2 の SOI 層 74 上に順に配設された酸化シリコン膜 11 および窒化シリコン膜 12 の 2 層膜で構成されるゲート絶縁膜と、窒化シリコン膜 12 上に順に配設されたドーパントポリシリコン膜 13、バリアメタル層 (WNx, TiNx, Ta, TaN 等) 14、金属膜 15 の 3 層膜で構成されるゲート電極とを備えている。

【0289】また、MOSFET 90 は、ゲート絶縁膜およびゲート電極を被覆する被覆絶縁膜 16、少なくとも被覆絶縁膜 16 の側面を覆うサイドウォール絶縁膜 17、ゲート電極の下部の SOI 層 74 の表面内に配設されたチャネル層 7、チャネル層 7 を間に挟んで対向するように配設された一対のエクステンション層 6、一対のエクステンション層 6 内にそれぞれ配設されたポケット層 5、一対のエクステンション層 6 に隣接して配設された一対のソース・ドレイン主要層 4 を有している。

【0290】また、MOSFET 90 の活性領域は素子分離絶縁膜の一種である STI 膜 3 によって規定され、STI 膜 3 の底面は埋め込み絶縁膜 BX2 に達するように、形成されている。そして、MOSFET 90 の上部には第 1 層間絶縁膜 21、絶縁膜 22、第 2 層間絶縁膜 23、第 3 層間絶縁膜 24 が積層されている。

【0291】また、図 49 においては、第 1 層間絶縁膜 21 および絶縁膜 22 を貫通して一対のソース・ドレイ

10

20

30

40

50

ン主要層 4 にそれぞれ達するコンタクト部 31、一方のコンタクト部 31 に接続される第 1 配線層 32、第 2 層間絶縁膜 23 を貫通して他方のコンタクト部 31 に達するコンタクト部 33、コンタクト部 33 に接続される第 2 配線層 33 が配設された構成を示しているが、これは一例に過ぎない。

【0292】なお、SOI 基板 SB2 および埋め込み絶縁膜 BX2 は図 38 を用いて説明した構成と同じであり、重複する説明は省略するが、必ずしも埋め込み絶縁膜 BX2 中に重水素を含んでいなくても、上述したように MOSFET 等の半導体装置のリーク電流を低減できることは言うまでもない。

【0293】また、MOSFET90 は従来の半導体装置であるが、実施の形態 2 において図 8 を用いて説明した本発明に係る MOSFET100 を SOI 基板 SB2 に形成しても良いことは言うまでもない。

【0294】また、図 49 においては STI 膜 3 の底面は埋め込み絶縁膜 BX2 に達する構成として示したが、図 50 に示すように STI 膜 3 の底面と埋め込み絶縁膜 BX2 との間に SOI 層 74 が存在する構成であっても良い。

#### 【0295】

【発明の効果】本発明に係る請求項 1 記載の半導体装置によれば、ゲート絶縁膜が酸化シリコン膜と酸化シリコン膜との 2 層膜であって、少なくとも 1 層に重水素原子を含む第 1 の 2 層膜、あるいは、窒化シリコン膜と酸化シリコン膜との 2 層膜であって、少なくとも 1 層に重水素原子を含む第 2 の 2 層膜を有するので、重水素原子は水素原子よりも重く、第 1 層から第 2 層あるいはその逆方向にドリフトあるいは拡散する速度が水素原子に比べて遅い。そのため、ストレス電圧が印加された状態下でも、界面準位を形成する速度が遅くなる。その結果、MOSFET の信頼性が向上することになる。また、重水素原子とシリコン原子間の結合エネルギーは、水素原子とシリコン原子間の結合エネルギーよりも大きいので、半導体基板からのホットキャリアによるシリコン原子からの解離は重水素原子の方が起こりにくい。そのため、第 1 の 2 層膜あるいは第 2 の 2 層膜に重水素を含ませることで、ストレス電圧が印加された状態下での、ホットキャリアによる解離が起こりにくく、ストレス電圧が印加された状態下でのホットキャリア耐性が向上して、MOSFET の寿命が長くなり、信頼性が向上することになる。

【0296】本発明に係る請求項 2 記載の半導体装置によれば、半導体基板には第 1 の 2 層膜を使用する場合には酸化シリコン膜が、第 2 の 2 層膜を使用する場合には酸化シリコン膜が配設されることになるので、半導体基板との界面において界面準位密度が増えることが防止される。

【0297】本発明に係る請求項 3 記載の半導体装置に

よれば、比誘電率が大きい酸化シリコン膜の厚さが酸化シリコン膜よりも厚いので、ゲート絶縁膜の静電容量を大きくでき、ゲート絶縁膜の静電容量を大きくすることで回路の動作速度を速くできる。

【0298】本発明に係る請求項 4 記載の半導体装置によれば、酸化シリコン膜の厚さが窒化シリコン膜よりも厚く、基板界面での応力を低減して界面準位密度や欠陥密度を低減することができる。

【0299】本発明に係る請求項 5 記載の半導体装置によれば、第 1 および第 2 層膜は、それぞれの第 1 層および第 2 層に重水素原子を含むので、ストレス電圧が印加された状態下でも、界面準位を形成する速度が遅くなり、MOSFET の信頼性が向上する。また、半導体基板からのホットキャリアによるシリコン原子からの解離は重水素原子の方が起こりにくく、ストレス電圧が印加された状態下での、ホットキャリアによる解離が起こりにくく、ストレス電圧が印加された状態下でのホットキャリア耐性が向上して、MOSFET の寿命が長くなり、信頼性が向上する。

【0300】本発明に係る請求項 6 記載の半導体装置によれば、複数種類の MOSFET が、最大印加電圧に耐えるように、ゲート絶縁膜の厚さに応じて複数の機能ブロックにそれぞれ配設されるので、ゲート絶縁膜の何れか 1 層のみの膜厚を調整するか、あるいは両層の膜厚を調整することによって、複数の機能ブロックの最大印加電圧に応じてゲート絶縁膜の厚さを調節することができ、機能ブロックごとに動作速度と信頼性を最適化できる。

【0301】本発明に係る請求項 7 記載の半導体装置によれば、ゲート絶縁膜およびゲート電極の積層体と、該積層体の側面外方の半導体基板の主面上を部分的に覆う被覆絶縁膜と、被覆絶縁膜を覆うサイドウォール絶縁膜とをさらに有し、被覆絶縁膜が重水素原子を含むので、膜中の重水素原子が、膜中のシリコン原子のダングリングボンドと結合して終端させたり、シリコン基板との界面におけるシリコン原子のダングリングボンドと結合して終端させるので、トラップ密度や界面準位密度が低減することになる。被覆絶縁膜はゲート絶縁膜に隣接する部分もあるので、ダングリングボンドを低減できる重水素を含む絶縁膜を使用することで、ゲート絶縁膜に悪影響を及ぼさずに済む。

【0302】本発明に係る請求項 8 記載の半導体装置によれば、被覆絶縁膜が酸化シリコン膜であるので、TEOS 酸化膜や、HDP 酸化膜、あるいは熱酸化膜など、種々の方法により形成することができる。

【0303】本発明に係る請求項 9 記載の半導体装置によれば、被覆絶縁膜が酸化シリコン膜であるので、耐酸化性を有し、酸化による膜厚の変動を防止できる。

【0304】本発明に係る請求項 10 記載の半導体装置によれば、素子分離絶縁膜が、トレンチの内壁に配設さ

れた重水素原子を含む内壁絶縁膜と、内壁絶縁膜で覆われたトレンチ内に埋め込まれた絶縁膜とを有するので、内壁絶縁膜中のダングリングボンドを重水素が終端するため、半導体基板からのホットキャリアによるシリコン原子から重水素原子の解離は起こりにくく、内壁絶縁膜と基板との界面に界面準位やトラップが形成されにくく、ゲート電極が係合する場合に、ホットキャリア耐性が向上して信頼性が向上することになる。

【0305】本発明に係る請求項1記載の半導体装置によれば、内壁絶縁膜が、重水素原子を含む酸化シリコン膜あるいは、重水素原子を含む酸化窒化シリコン膜であるので、比較的形成为容易にできる。

【0306】本発明に係る請求項2記載の半導体装置によれば、絶縁膜が、重水素原子を含む酸化シリコン膜あるいは、重水素原子を含む酸化窒化シリコン膜であるので、内壁絶縁膜中の重水素が、後工程の熱処理で揮発することを防止する効果がある。

【0307】本発明に係る請求項3記載の半導体装置によれば、内壁絶縁膜の上部端縁部が、半導体基板の主面上に緩やかな丸みを有して盛り上がるように配設され、上部端縁部にMOSFETのゲート電極のゲート幅方向の端縁部が係合するので、ゲート電極のゲート幅方向の端縁部に電界が集中して、しきい値電圧の設計値よりも低い電圧でMOSFETがオンするという事態を防止できる。

【0308】本発明に係る請求項4記載の半導体装置によれば、半導体基板がSOI基板で構成され、埋め込み絶縁膜が重水素原子を含むので、埋め込み絶縁膜中のシリコン原子と重水素の結合エネルギーは、シリコン原子と水素原子の結合エネルギーより大きく、界面準位や固定準位が形成されにくい。そのため、SOI基板に形成されるMOSFETの信頼性を高めることができる。

【0309】本発明に係る請求項5記載のSOI基板によれば、半導体基板がSOI基板で構成され、埋め込み絶縁膜が、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜のうち何れか2つの膜を含む2層膜であるので、例えば、熱を受けた場合の応力が膨張型である酸化シリコン膜と、収縮型である窒化シリコン膜とを組み合わせることで熱応力が緩和される。従って、酸化シリコン膜のみの同じ厚さの埋め込み絶縁膜と比較した場合に、SOI層にかかる熱応力が低減するという効果が得られ、その結果、隣接するSOI層との界面に形成される界面準位を低減できるので、製造工程に起因する欠陥が低減し、半導体装置のリーク電流を低減できる。

【0310】本発明に係る請求項6記載のSOI基板によれば、埋め込み絶縁膜が重水素原子を含むので、埋め込み絶縁膜中においてシリコン原子と重水素とが結合した場合、その結合エネルギーは、シリコン原子と水素原子の結合エネルギーより大きく、界面準位や固定準位が形成されにくい。そのため、SOI基板に形成される

半導体装置の信頼性を高めることができる。

【0311】本発明に係る請求項7記載のSOI基板によれば、埋め込み絶縁膜が、SOI層に隣接する第1層と、第1層の下層の第2層とに区分され、重水素原子が第1層に少なくとも含まれるので、SOI層と埋め込み絶縁膜との界面における界面準位や固定準位を確実に低減してSOI基板に形成される半導体素子の信頼性を高めることができる。

【0312】本発明に係る請求項8記載のSOI基板によれば、第1層が、酸化シリコン膜および酸化窒化シリコン膜の何れかであるので、窒化シリコン膜を使用する場合に比べて界面準位密度を低減できる。

【0313】本発明に係る請求項9記載の半導体装置によれば、SOI層にかかる熱応力が低減するという効果が得られ、その結果、隣接するSOI層との界面に形成される界面準位を低減できるので、製造工程に起因する欠陥が低減し、MOSFETのリーク電流を低減して動作特性の低下を防止した半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 半導体装置の構成の一例を示すブロック図である。

【図2】 本発明に係る実施の形態1におけるゲート絶縁膜の構成を示す模式図である。

【図3】 本発明に係る実施の形態1におけるゲート絶縁膜の構成を示す模式図である。

【図4】 本発明に係る実施の形態1におけるゲート絶縁膜の構成を示す模式図である。

【図5】 本発明に係る実施の形態1におけるゲート絶縁膜の構成を示す模式図である。

【図6】 本発明に係る実施の形態1におけるゲート絶縁膜の構成を示す模式図である。

【図7】 本発明に係る実施の形態1におけるゲート絶縁膜の構成を示す模式図である。

【図8】 本発明に係る実施の形態2におけるMOSFETの構成を示す断面図である。

【図9】 ストレス電圧が印加された状態下のON膜中の重水素原子と水素原子の振る舞いを説明する模式図である。

【図10】 ストレス電圧が印加された状態下のON膜中の重水素原子と水素原子の振る舞いを説明する模式図である。

【図11】 ストレス電圧が印加された状態下のON膜中の重水素原子と水素原子の振る舞いを説明する模式図である。

【図12】 ストレス電圧が印加された状態下のON膜中の重水素原子と水素原子の振る舞いを説明する模式図である。

【図13】 ストレス電圧が印加された状態下のON膜中の重水素原子と水素原子の振る舞いを説明する模式図

である。

【図 14】 ストレス電圧が印加された状態下の ON 膜中の重水素原子と水素原子の振る舞いを説明する模式図である。

【図 15】 本発明に係る実施の形態 2 における MOSFET の製造工程を説明する断面図である。

【図 16】 本発明に係る実施の形態 2 における MOSFET の製造工程を説明する断面図である。

【図 17】 本発明に係る実施の形態 2 における MOSFET の製造工程を説明する断面図である。

【図 18】 本発明に係る実施の形態 2 における MOSFET の製造工程を説明する断面図である。

【図 19】 本発明に係る実施の形態 2 における MOSFET の製造工程を説明する断面図である。

【図 20】 本発明に係る実施の形態 3 における MOSFET の構成を示す断面図である。

【図 21】 本発明に係る実施の形態 3 における MOSFET の変形例の構成を示す断面図である。

【図 22】 本発明に係る実施の形態 5 における STI 膜を示す断面図である。

【図 23】 本発明に係る実施の形態 5 における STI 膜の製造工程を説明する断面図である。

【図 24】 本発明に係る実施の形態 5 における STI 膜の製造工程を説明する断面図である。

【図 25】 本発明に係る実施の形態 5 における STI 膜の製造工程を説明する断面図である。

【図 26】 本発明に係る実施の形態 5 における STI 膜の製造工程を説明する断面図である。

【図 27】 本発明に係る実施の形態 5 における STI 膜の製造工程を説明する断面図である。

【図 28】 本発明に係る実施の形態 5 における STI 膜の製造工程を説明する断面図である。

【図 29】 本発明に係る実施の形態 5 における STI 膜の製造工程を説明する断面図である。

【図 30】 本発明に係る実施の形態 5 における STI 膜の製造工程を説明する断面図である。

【図 31】 本発明に係る実施の形態 5 における STI 膜を示す部分断面図である。

【図 32】 本発明に係る実施の形態 5 における STI 膜の過剰エッチングを説明する断面図である。

【図 33】 本発明に係る実施の形態 6 における SOI

基板の構成を説明する断面図である。

【図 34】 本発明に係る実施の形態 6 における SOI 基板の製造工程を説明する断面図である。

【図 35】 本発明に係る実施の形態 6 における SOI 基板の製造工程を説明する断面図である。

【図 36】 本発明に係る実施の形態 6 における SOI 基板の製造工程を説明する断面図である。

【図 37】 本発明に係る実施の形態 6 における SOI 基板の製造工程を説明する断面図である。

10 【図 38】 本発明に係る実施の形態 6 における SOI 基板の変形例の構成を説明する断面図である。

【図 39】 本発明に係る実施の形態 6 における SOI 基板の変形例の構成を説明する断面図である。

【図 40】 本発明に係る実施の形態 6 における SOI 基板の変形例の構成を説明する断面図である。

【図 41】 本発明に係る実施の形態 6 における SOI 基板の変形例の構成を説明する断面図である。

【図 42】 本発明に係る実施の形態 6 における SOI 基板の変形例の構成を説明する断面図である。

20 【図 43】 従来の MOSFET の構成を示す断面図である。

【図 44】 MOSFET における各層のドーパントの種類を示す図である。

【図 45】 ストレス電圧が印加された状態下の ON 膜中の水素原子の振る舞いを説明する模式図である。

【図 46】 ストレス電圧が印加された状態下の ON 膜中の水素原子の振る舞いを説明する模式図である。

【図 47】 ストレス電圧が印加された状態下の ON 膜中の水素原子の振る舞いを説明する模式図である。

30 【図 48】 窒化シリコン膜中の水素原子濃度のアンモニアガス分圧依存性を示す図である。

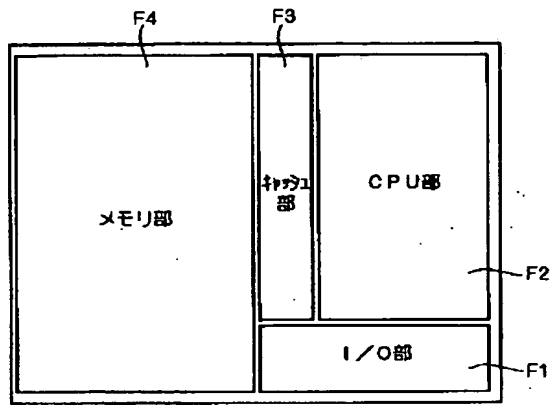
【図 49】 多層構造の埋め込み絶縁膜を有する SOI 基板上に MOSFET を配設した半導体装置の構成を説明する断面図である。

【図 50】 多層構造の埋め込み絶縁膜を有する SOI 基板上に MOSFET を配設した半導体装置の構成を説明する断面図である。

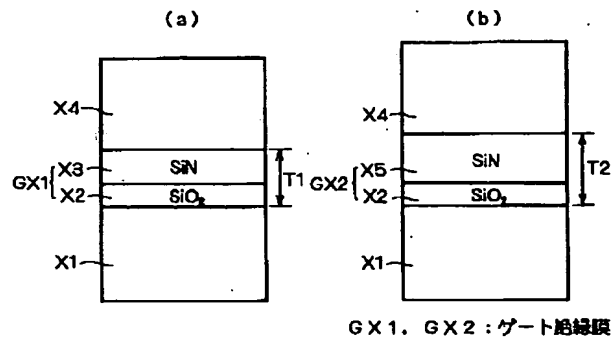
【符号の説明】

50 STI 膜、58 内壁酸化膜、162 被覆絶縁膜、BX1～BX6 埋め込み絶縁膜、GX1～GX9 ゲート絶縁膜。

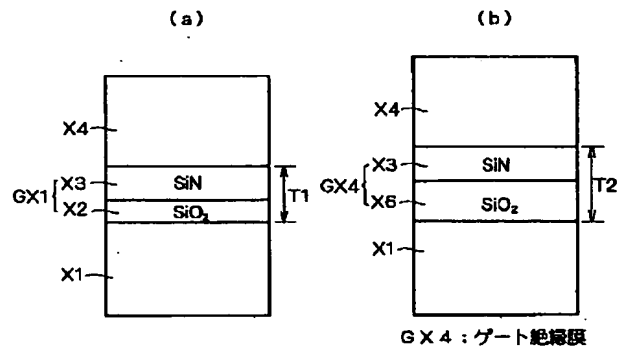
【図 1】



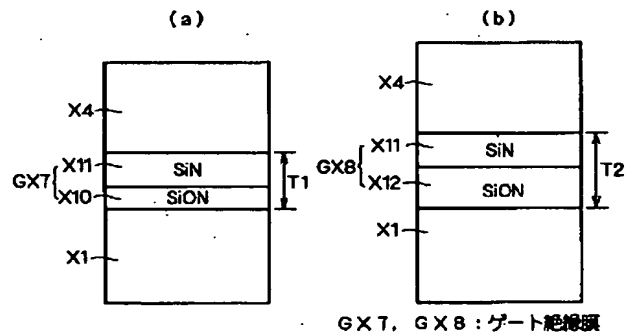
【図 2】



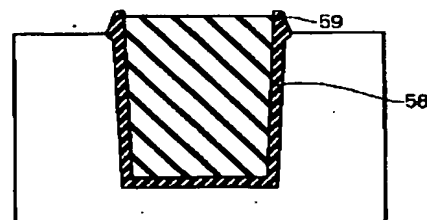
【図 4】



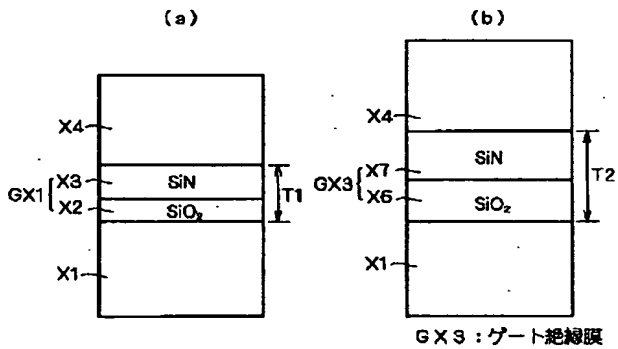
【図 6】



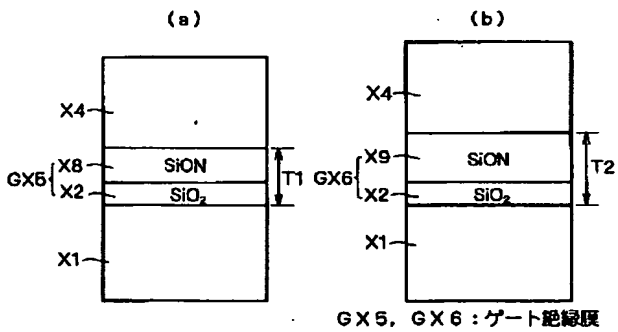
【図 30】



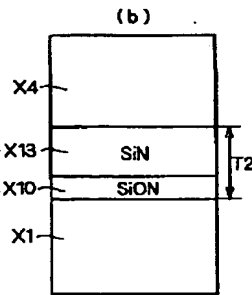
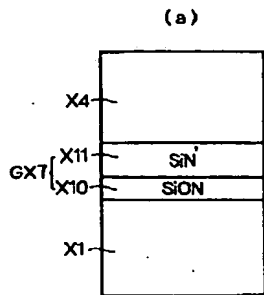
【図 3】



【図 5】

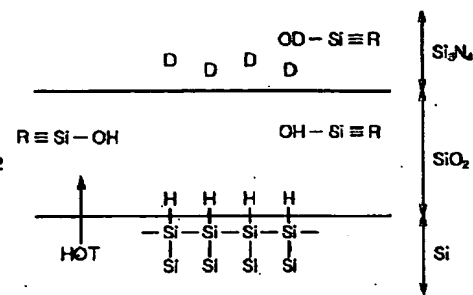


【図7】

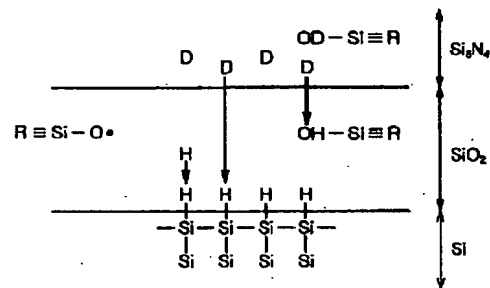


GX9: ゲート絶縁膜

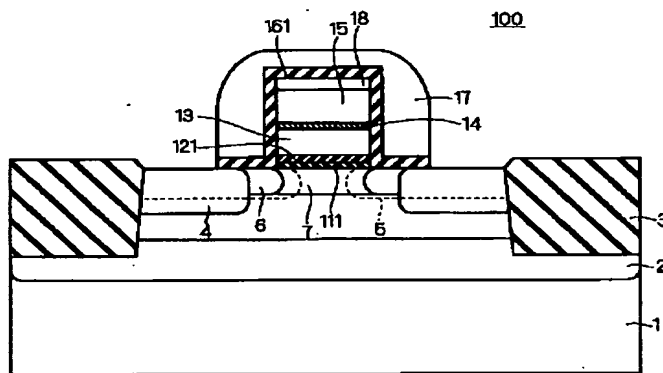
【図9】



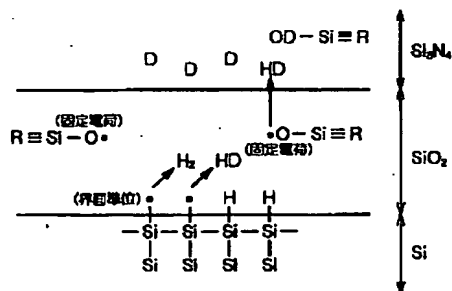
【図10】



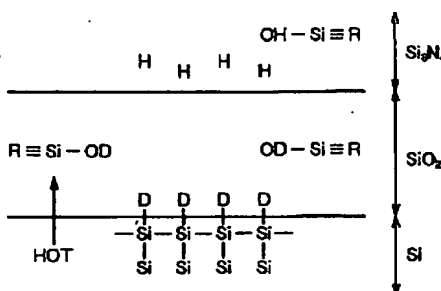
【図8】



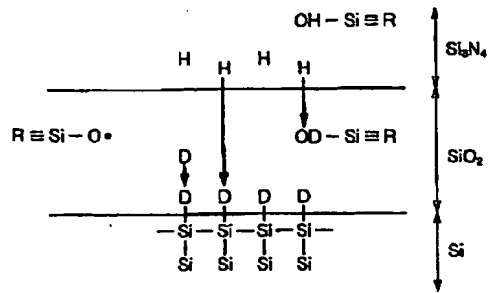
【図11】



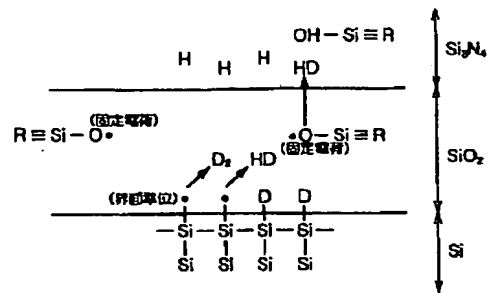
【図12】



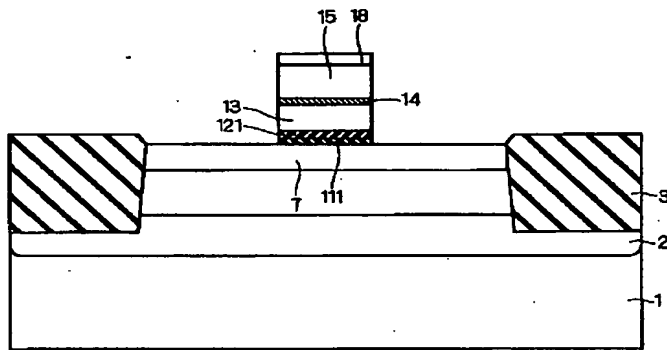
【図 13】



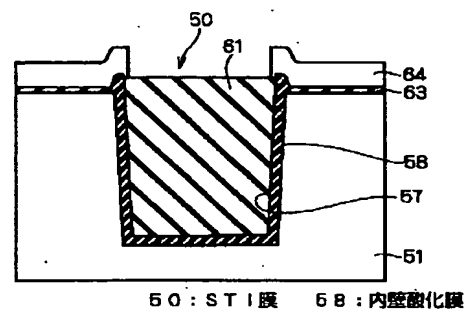
【図 14】



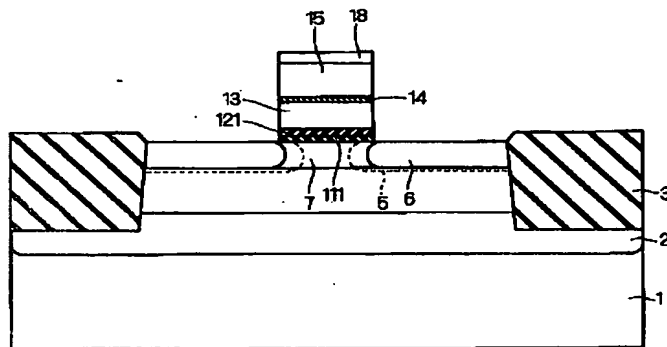
【図 15】



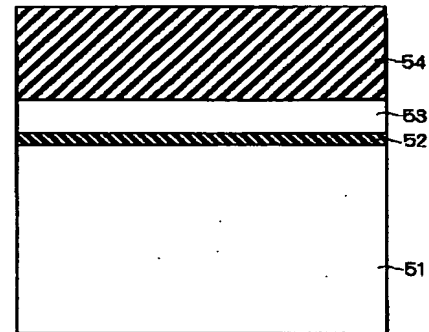
【図 22】



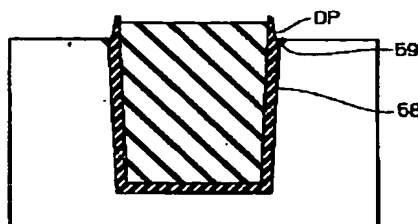
【図 16】



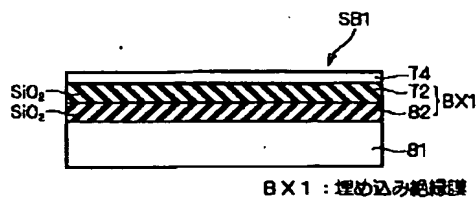
【図 23】



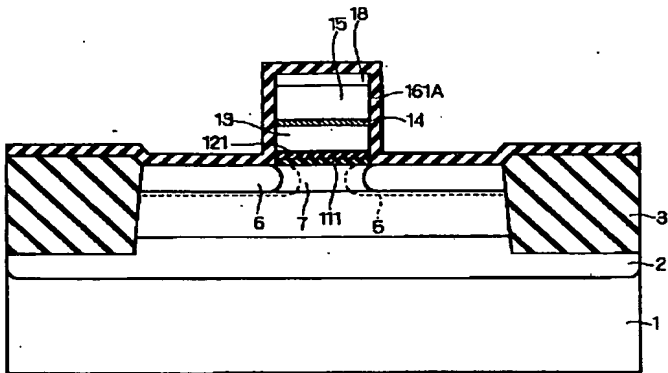
【図 32】



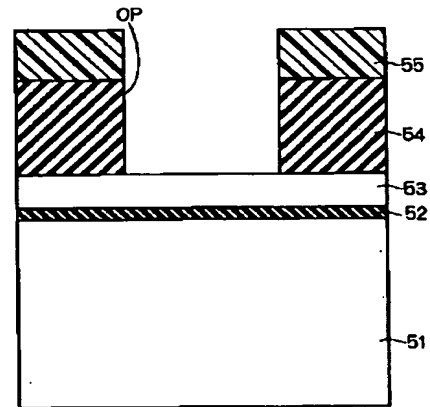
【図 33】



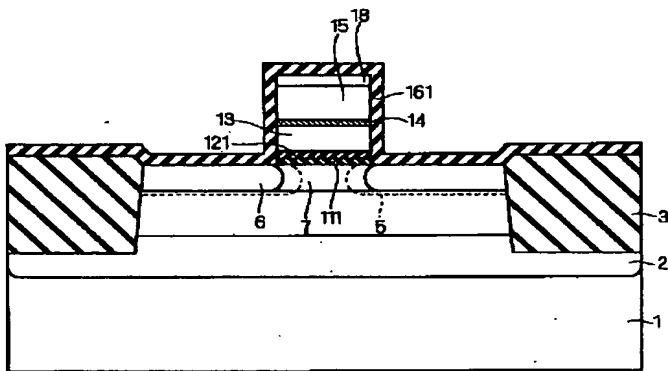
【図 17】



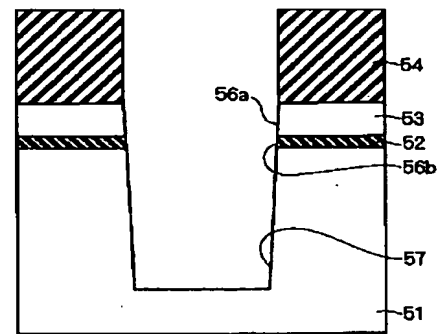
【図 24】



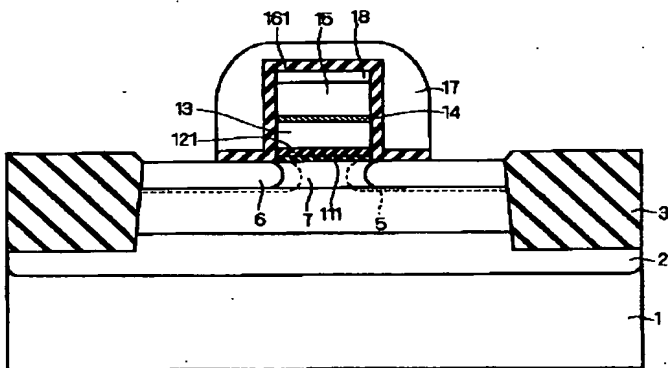
【図 18】



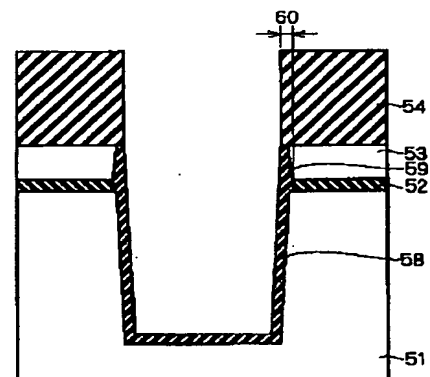
【図 25】



【図 19】



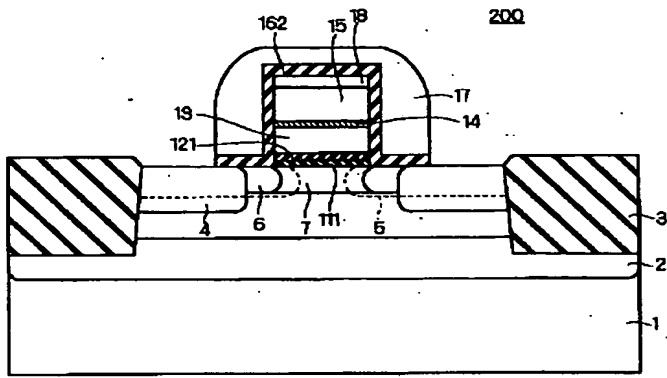
【図 26】



【図 34】

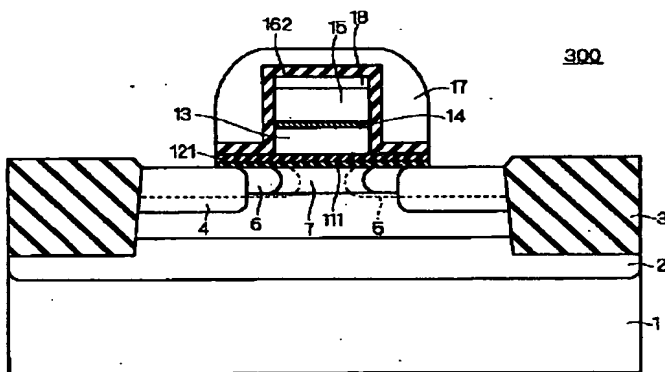


【図 20】

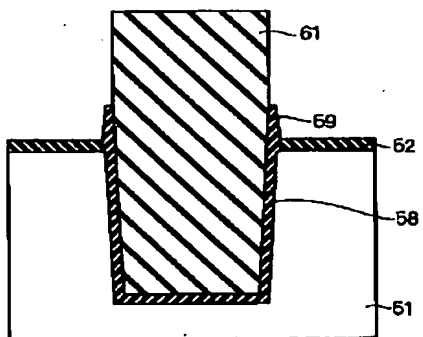


162: 被覆絶縁膜

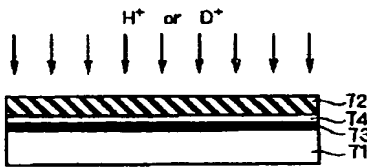
【図 2 1】



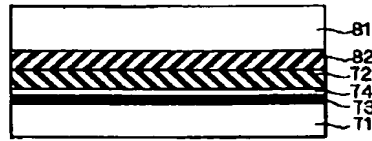
【图 29】



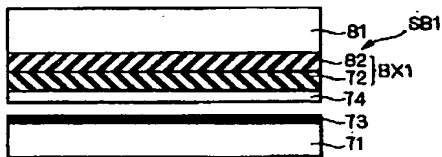
【図 35】



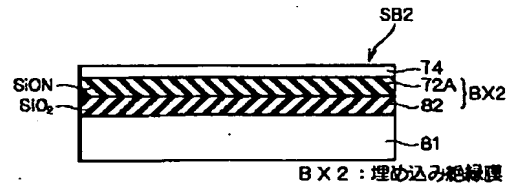
【図 36】



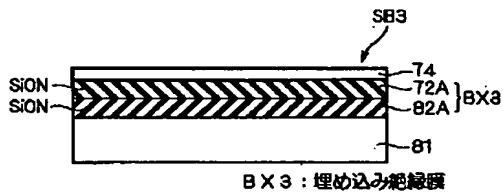
【図 37】



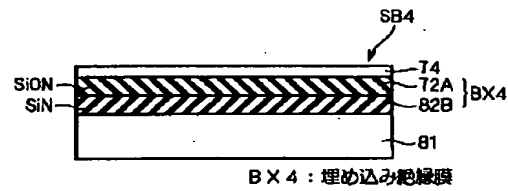
【図 38】



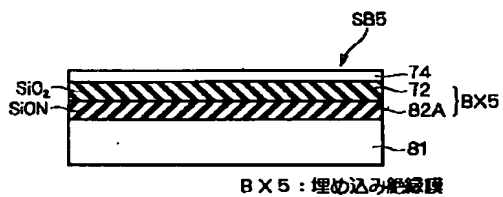
【図 39】



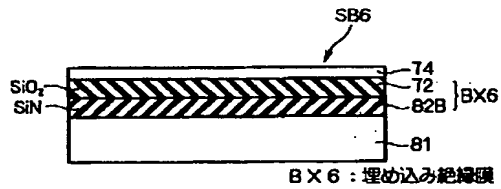
【図 40】



【図 41】



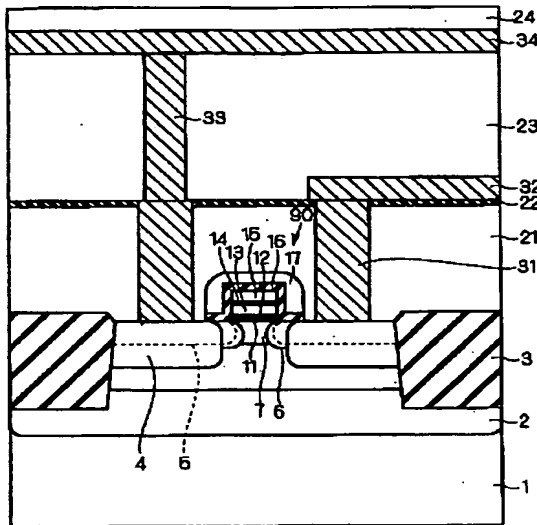
【図 42】



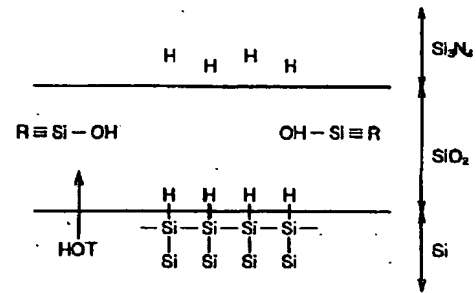
【図 44】

	N型MOSFET		P型MOSFET	
	表面チャネル型	埋め込みチャネル型	表面チャネル型	埋め込みチャネル型
チャネル層	B, BF <sub>x</sub> , In	P, As, Sb	P, As, Sb	B, BF <sub>x</sub> , In
チャネルストップ層	B, BF <sub>x</sub> , In	B, BF <sub>x</sub> , In	P, As, Sb	P, As, Sb
ソース/ドレイン主層	P, As, Sb	P, As, Sb	B, BF <sub>x</sub> , In	B, BF <sub>x</sub> , In
エクステンション層	P, As, Sb	P, As, Sb	B, BF <sub>x</sub> , In	B, BF <sub>x</sub> , In
ポケット層	B, BF <sub>x</sub> , In	B, BF <sub>x</sub> , In	P, As, Sb	P, As, Sb
ドープトポジション層	P, As, Sb	P, As, Sb	B, BF <sub>x</sub> , In	B, BF <sub>x</sub> , In

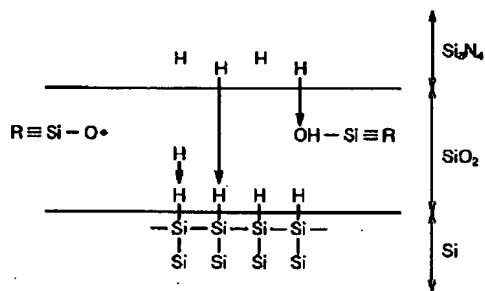
【図43】



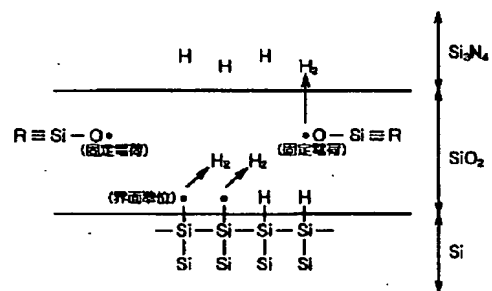
【図45】



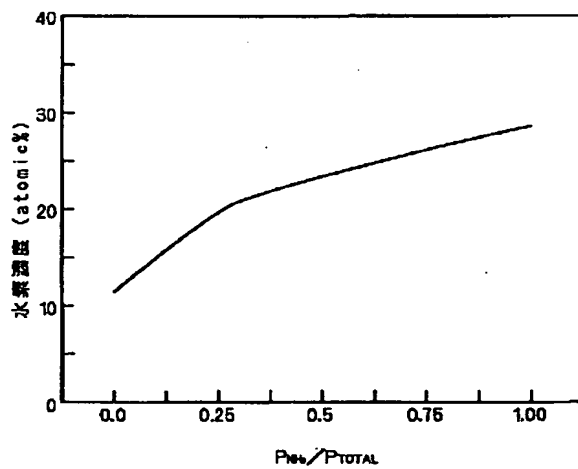
【図46】



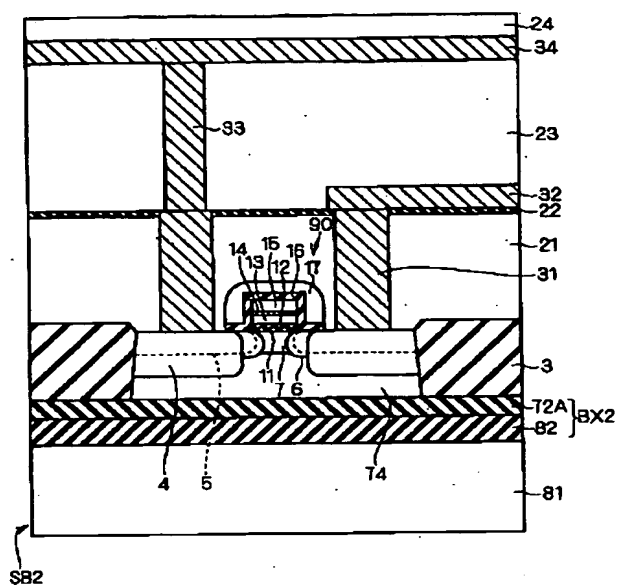
【図47】



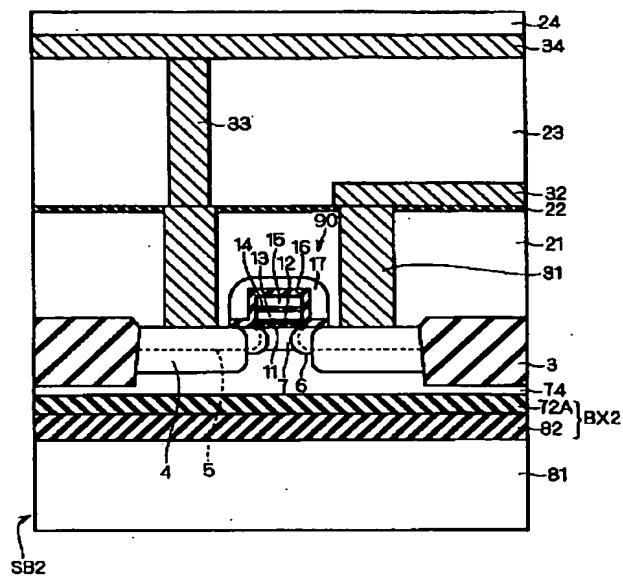
【図48】



【図 49】



【図 50】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

FI

ターマコード (参考)

H 0 1 L 21/76  
 21/8234  
 27/088  
 21/8238  
 27/092  
 27/08  
 21/8244  
 27/11  
 21/8247  
 27/115  
 27/108  
 21/8242  
 27/12  
 29/788  
 29/792  
 29/786  
 21/336

3 3 1

H 0 1 L 27/08  
 27/12  
 29/78  
 21/76  
 27/08  
 27/10  
 29/78

3 3 1 E 5 F 0 5 8  
 B 5 F 0 8 3  
 3 0 1 G 5 F 1 1 0  
 L  
 R  
 1 0 2 C  
 3 2 1 D  
 3 8 1  
 4 3 4  
 6 7 1 C  
 6 7 1 Z  
 3 0 1 R  
 3 7 1  
 6 1 3 B  
 6 1 7 T  
 6 1 7 U  
 6 2 1  
 6 2 7 D

Fターム(参考) 4M104 AA01 BB01 CC05 EE02 EE05  
EE09 EE12 EE15 EE17 FF13  
GG09

5F001 AA17 AA96 AD17 AD44 AD60  
AD70 AF05 AF07 AG21 AG40

5F032 AA07 AA09 AA14 AA35 AA43  
AA44 AA47 AA54 AA77 AA79  
AA84 BA01 CA16 DA04 DA25  
DA43 DA53 DA71 DA78

5F040 DA01 DA17 DB01 DB03 DC01  
EA08 EA09 EB12 EC02 EC04  
EC07 ED01 ED03 ED04 ED05  
EE05 EF02 EH02 EK02 EK05  
EM01 EM02 EM03 FA05 FA07  
FA11 FA12 FA18 FB02 FC10  
FC11 FC13 FC15 FC21

5F048 AA04 AA07 AB01 AB03 AC01  
AC03 BA16 BB04 BB06 BB07  
BB09 BB11 BB13 BB16 BC06  
BD04 BF11 BG14 BH07 DA25  
DA27

5F058 BA20 BC09 BC10 BD01 BD04  
BD06 BD16 BF04 BF07 BF24  
BF25 BF29 BF30 BF62 BH01  
BJ01 BJ06

5F083 AD01 AD02 AD10 BS00 ER22  
FR00 FZ10 GA11 GA21 HA02  
JA04 JA35 JA36 JA37 JA38  
JA39 JA40 JA53 LA25 NA01  
ZA07 ZA13 ZA14

5F110 AA06 AA19 AA30 BB03 BB06  
BB07 BB08 BB20 CC02 DD05  
DD13 DD14 DD15 DD17 DD24  
EE01 EE02 EE03 EE04 EE09  
EE15 EE30 EE32 EE33 FF02  
FF03 FF04 FF07 FF09 FF10  
FF30 FF32 GG02 GG12 GG32  
HJ01 HJ13 HK05 HK40 HM15  
NN03 NN22 NN24 NN32 NN37  
NN62 NN65 NN78 QQ11 QQ17  
QQ24